

| | |
|---|--|
|  | Institut für Aufbau- und Verbindungstechnik der Elektronik Fakultät Elektrotechnik und Informationstechnik Technische Universität Dresden |
| Praktikum | Technologien der Elektronik (GMT) Aufbau- und Verbindungstechnik der Elektronik (MEL) |
| Modul | ET-12 06 01 (GMT) / ET-12 06 02 (MEL) |
| Versuch | Chipbonden (CB) |

1. **Versuchsziel**

2. **Grundlagen**

- 2.1. Einführung
- 2.2. Chipflächenkontaktierung
 - 2.2.1. Chipkleben
 - 2.2.2. Weichlöten
 - 2.2.3. Anlegieren
 - 2.2.4. Anglasen
- 2.3. Bruchverhalten von Klebungen
 - 2.3.1. Gütekriterien für eine Chipbondverbindung
 - 2.3.2. Bruchbildarten

3. **Gerätetechnik**

- 3.1. DIE – Bonder
- 3.2. Fineplacer / Wärmeschränk
- 3.3. Prüftechnik

4. **Versuchsdurchführung**

- 4.1. Arbeitsschutzvorschriften
- 4.2. Ablauf des Versuches
- 4.3. Versuchsauswertung
- 4.3. Hinweise zum Protokoll

5. **Schwerpunkte für die Versuchsvorbereitung**

6. **Quellen und Literatur**

7. **Anhang**

Verantwortlicher Hochschullehrer: Prof. Dr.-Ing. Dr. h. c. K. Bock
Versuchsbetreuer / Labor: Dr.-Ing. M. Müller / WHB 131
Erstellt: Dr.-Ing. A. Paproth
Geändert: 27.10.2017 / M. Müller

PRAKTIKUMSANLEITUNG

Versuch: Chipbonden

1. Versuchsziel

Der Versuch soll die vorhandenen theoretischen Kenntnisse zum Back-End-Prozess der Fertigung mikroelektronischer Bauelemente vertiefen und um praktische Erfahrungen bei der Chipflächenkontaktierung erweitern. Entsprechend dem gegenwärtigen technologischen Entwicklungsstand auf dem Gebiet der Aufbau- und Verbindungstechnik wird insbesondere die Technologie *Kleben* von Chips auf Trägern behandelt.

Folgende Schwerpunkte werden erarbeitet:

- Prinzip des Chipklebens,
- Einordnung des DIE-Bondens in den Ablauf des Back-End-Prozesses,
- Vor- und Nachteile der verschiedenen DIE-Bond-Verfahren,
- Erklärung des DIE-Bonders,
- Selbstständiges Dispensieren von Kleber auf einen Chipträger;
- Aufsetzen der Chips; Aushärten des Klebers und Abscheren der geklebten Chips zur Ermittlung und Beurteilung der Scherfestigkeit.

2. Grundlagen

2.1 Einführung

Der Fertigungsprozess von Halbleiterschaltkreisen wird eingeteilt in die beiden Hauptabschnitte:

- Front-End-und
- Back-End-Prozess

Der Front-End-Prozess umfasst alle Teilschritte zur Herstellung der Halbleiterchips im Scheibenverband, d.h. auf dem Silizium-Wafer. Während die einzelnen Strukturen auf dem Wafer immer kleiner werden, wird der Scheibendurchmesser kontinuierlich erhöht. Mit den 12" Wafern (300 mm Durchmesser) wird die Siliziumfläche gegenüber den 8" Wafern mehr als verdoppelt und damit die Produktivität erheblich gesteigert. Größere Scheibendurchmesser erfordern allerdings auch neue Lösungen für das Wafer-Handling, um Brüche des Wafers, insbesondere nach dem Abdünnen, zu vermeiden. Zum Abschluss des Front-End-Prozesses werden alle Schaltkreise elektrisch getestet. Defekte Chips erhielten früher bei der Messung eine Farbkennzeichnung (ink-Punkt). Gegenwärtig wird für jede Scheibe eine digitale Wafer map erstellt, welche sowohl die Prozessdaten als auch die Prüfergebnisse enthält und somit die computergesteuerte Entnahme der 'Gut-Chips' nach dem Vereinzeln aus dem Waferverband ermöglicht.

Der Back-End-Prozess umfasst alle weiteren Arbeiten bis zum Versand der einzelnen Schaltkreise und lässt sich in folgende technologische Teilschritte unterteilen (siehe Bild 2):

- Chipvereinzeln,
- Chipflächenkontaktieren (Chip-Bonden oder DIE-Bonden),
- Chipanschlusskontaktierung (Drahtbonden oder Wire-Bonding),
- Gehäuseverschluss,
- Endbearbeitung.

Zwischen diesen Teilschritten werden kostenoptimal verschiedene Prüfungen vorgesehen und in Form von Stichproben- oder Einzeltests durchgeführt.

Das **Vereinzeln der Chips** erfolgt durch Trennschleifen entlang eigens dafür passiv belassener Bereiche auf dem Wafer, den so genannten „Ritz-, Säge- oder Schleifgräben“. Die Trennschleifscheiben bestehen aus Metallfolien mit (20–85) µm Dicke, in die Diamantpartikel eingearbeitet sind (galvanische Metallverbindung, meist Ni oder kunstharzgebundene Trennscheiben zum Vereinzeln sehr harter Werkstoffe, wie Quarz, Al₂O₃ - Keramik). Nach dem Ansaugen des Wafers auf dem Arbeitstisch der Trennmaschine mittels Vakuum und dem Ausrichten des Wafers zum Werkzeug erfolgt die Bearbeitung in beiden Richtungen automatisch, entsprechend des vorher eingegebenen Programms. Bei etwa 30.000 Umdrehungen pro Minute und >50 mm/s Vortrieb ergeben sich etwa (1-2) s als durchschnittliche Prozesszeit für das Vereinzeln eines Chips. Das entspricht etwa der Taktzeit des nachfolgenden Kontaktierschrittes. Durch Hochdruckspülen mit deionisiertem Wasser werden Trennscheibe und Wafer gekühlt und der Schleifabtrag entfernt. Vor dem Trennschleifen wird der Wafer jedoch ganzflächig auf eine selbstklebende Folie aufgezogen. Dadurch bleiben die Chips auch nach dem Vereinzeln fixiert, denn die Folie wird nicht mit zertrennt. Nach dem Trennschleifen wird die Folie gespreizt. Das verhindert Kantenbeschädigungen bei der nachfolgenden Chipentnahme. Trennschleifen erzeugt im Gegensatz zum früher üblichen Verfahren „Ritzen und Brechen“ senkrechte Chipkanten. Damit sind die Chips für die automatisierte Weiterverarbeitung geeignet. Das Trennschleifverfahren wird gewöhnlich als *Wafersägen* und das Werkzeug entsprechend als *Blatt* bezeichnet.

Alternativbezeichnungen für den zweiten Teilschritt, die **Chipflächenkontaktierung**, sind *Chipbonden*, *DIE-Bonden* oder *Chipbefestigung*. Gemeint ist in jedem Fall die Befestigung des Halbleiterchips mit dessen Rückseite auf einem Zwischenverdrahtungsträger bei der Herstellung eines Bauelements (z.B. Lead-Frame, Bauelementgehäuse oder Interposer) oder die Direktmontage auf einem Substrat (Chip on Board – COB bzw. Nacktchipmontage). Dieser Verfahrensteilschritt steht im Mittelpunkt des Praktikums und wird im Abschnitt 2.2 detailliert erläutert.

Durch die nachfolgende **Chipanschlußkontaktierung** werden die elektrischen Verbindungen zwischen den Anschlussflächen des Chips (Bondpads) und den äußeren Anschlüssen des Schaltkreises hergestellt. Drahtbonden ist nach wie vor das dominierende Verfahren der Chipanschlußkontaktierung. Für spezielle Anwendungen, wie Smart Label und Chipkarten-Produktionen stellt die Flip-Chip-Technik ein Alternativverfahren mit erheblichen Zuwachsraten dar. Die Chipanschlußkontaktierung wird im Praktikumsversuch „Drahtbonden“ ausführlich behandelt.

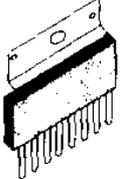
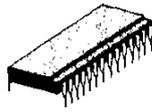
Mit dem **Gehäuseverschluss** erhält der Schaltkreis eine mechanisch hinreichend stabile Verkapselung oder Umhüllung, die darüber hinaus folgende Aufgaben erfüllen muss:

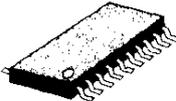
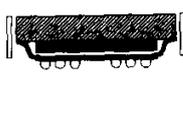
- Herstellung der elektrischen Verbindung vom Chip zur nächst höheren Verdrahtungsebene (z. B. Leiterplatte) in Form einer möglichst hermetisch dichten Durchführung durch den Bauelementekörper,
- Schutz vor Umwelteinflüssen (Licht, Feuchtigkeit, α-Strahlung,...),
- Verteilung und Ableitung der Verlustwärme des Chips,
- ggf. Ausbildung eines handhabbaren Bauelementekörpers entsprechend bestehender Normen (DIN EN, JEDEC,...).

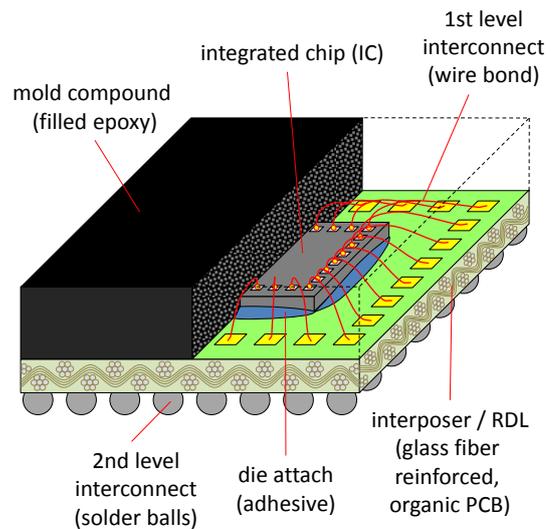
Beispiele genormter Gehäuseformen für die jeweilige Montagetechnik sind:

Durchsteckmontage (THT): Single Inline Package (SIP), Dual Inline Package (DIP), Pin Grid Array (PGA); und für die

Oberflächenmontage (SMT): Small Outline Package (SOP), Quad Flat Package (QFP), Leadless Chip Carrier (LCC), Chip Size Package (CSP) (siehe Bild 1).

| | | |
|---|---|---|
|  |  |  |
| Single In-line Package (SIP) | Dual In-Line Package (DIL) | Pin Grid Array (PGA) |
| Durchsteckmontage (THT) | | |

| | | |
|---|---|---|
|  |  |  |
| Small Out-line Package (SOP) | Leadless Chip Carrier (LCC) | Chip Size Package (CSP) |
| Oberflächenmontage (SMT) | | |



a) International genormte Bauelementeformen [1]

b) Aufbau eines drahtgebondeten Ball Grid Array (BGA) mit organischem Interposer

Bild 1: Gängige Bauelementeformen und innerer Aufbau eines BGA Bauelements mit organischem Interposer.

Wenn die Chips jedoch direkt auf den Verdrahtungsträger gebondet wurden (**Chip on Board-COB**), erfolgt der Gehäuseverschluss lediglich durch ein so genanntes Glob-Top, d. h. durch Auftropfen einer Epoxidharzabdeckung, welche die aktive Chipseite und die Chipanschlüsse vollständig umhüllt und nach dem Aushärten genügend Schutz bietet. Die anderen Plastgehäuse werden üblicherweise durch Plastspritzpressen hergestellt, wobei jeweils eine Charge von Bauelementen gleichzeitig umhüllt wird. Plastgehäuse sind Nichthermetikgehäuse. Das Eindiffundieren schädlicher Substanzen (z. B. Feuchtigkeit) kann durch sie nicht vollständig verhindert werden. Die resultierende Zuverlässigkeit ist jedoch für die meisten kommerziellen Anwendungen ausreichend, so dass Plastgehäuse für mehr als 90% aller Schaltkreise eingesetzt werden. Bei höchsten Zuverlässigkeitsanforderungen werden Hermetikgehäuse aus Keramik, Metall und/oder Glas verwendet. Verschlossen werden solche Gehäuse durch Löten oder Schweißen. Die Herstellung dieser Mehrlagenkeramik-, Keramikhalbschalen- und Metallgehäuse erfordert mehrere Arbeitsgänge und ist deshalb wesentlich aufwändiger als die der Plastgehäuse.

Die **Endbearbeitung** umfasst das:

- Säubern der Bauelemente von überschüssigem Plastpressmaterial (Plastgehäuse),
- ggf. betriebsspezifische Schaltkreiskennzeichnungen auf der Gehäuseunterseite,
- Ausstanzen der Einzelbauelemente (Plastgehäuse) bzw. Beschneiden der bis dahin kurzgeschlossenen Anschlüsse (Keramikgehäuse),
- Abbiegen (Plastgehäuse), Beizen (Keramikgehäuse) und Verzinnen der Bauelementeanschlüsse,
- abschließende elektrische Prüfen der Bauelementefunktion,
- Bauelementekennzeichnung auf der Gehäuseoberseite,
- Magazinieren der Bauelemente zum Versand (Blistergurte, Magazine, ...).

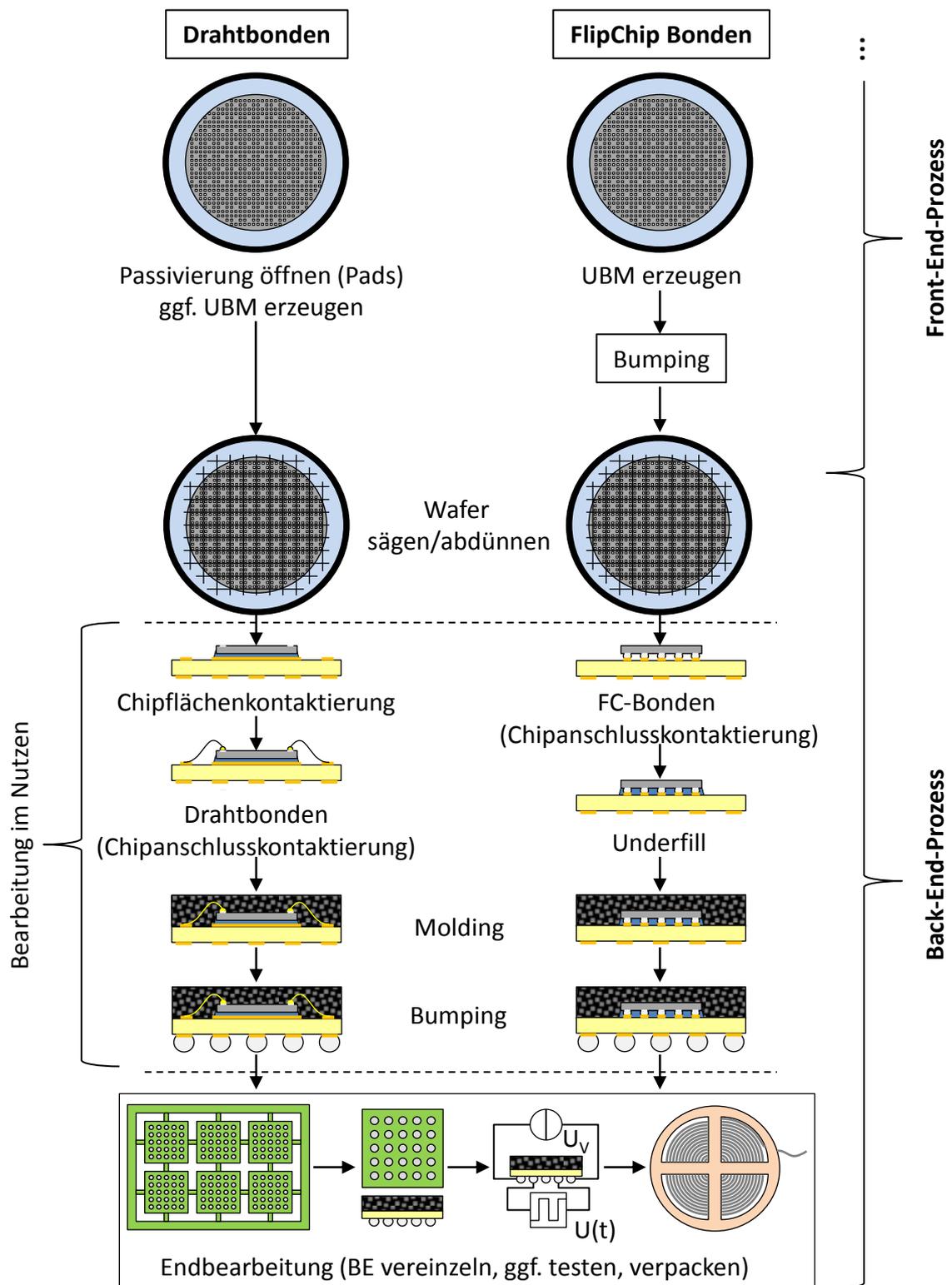


Bild 2: Abfolge für die Herstellung eines elektronischen Bauelements (BGA) mit organischem Interposer im Drahtbond- und Flip-Chip-Verfahren für die Chipanschlusskontaktierung.

2.2 Chipflächenkontaktierung

Unter **Chipflächenkontaktierung** werden die technologischen Verfahren zur ganzflächigen, stoffschlüssigen Verbindung der Chiprückseite mit einem Chipträger verstanden. In Abhängigkeit von der Bauform des Schaltkreises ist der Chipträger als Trägerstreifen, Verdrahtungsträgersubstrat oder Gehäuseteil ausgeführt. Trägerstreifen bestehen üblicherweise aus Fe–Ni–Co–Legierungen mit guter Anpassung der thermischen Ausdehnung an die des Siliziums oder

aus Kupfer mit hervorragender Wärmeleitfähigkeit. Verdrahtungsträger bestehen aus Glas (Dünnschichtbaugruppe), Keramik (Dickschichtbaugruppe), Plastfolien (flexible Leiterplatte, Chipkarte) oder Epoxidharz–Glasfaser–Laminaten (starre Leiterplatte). Gehäuseteile bestehen meist aus Keramik.

Die Chipflächenkontaktierung dient der mechanischen Befestigung des Chips, der Ableitung der Verlustwärme und erforderlichenfalls als elektrischer Rückseitenkontakt. Die Chipverbindung muss daher eine ausreichende mechanische Festigkeit, einen geringen thermischen und ggf. auch geringen elektrischen Widerstand sowie eine hohe Zuverlässigkeit (lange Lebensdauer) aufweisen. Diesen Forderungen kann durch geeignete Werkstoffwahl entsprochen werden. Dabei ist zu beachten, dass die Werkstoffverbindungen unter den vorgesehenen Betriebsbedingungen metallurgisch und chemisch genügend stabil sind und den durch unterschiedliche thermische Ausdehnung in der Chipbondverbindung entstehenden mechanischen Spannungen dauerhaft standhalten können.

Die Verfahren zur Chipflächenkontaktierung müssen hohe Produktivität und hohe Fertigungszuverlässigkeit aufweisen. Sie dürfen weder die Ergebnisse der vorgelagerten Prozesse noch die Voraussetzungen für die nachfolgenden Teilschritte negativ beeinflussen. So sind beim Chipbonden Beschädigungen oder Verunreinigungen des Halbleiterchips selbst oder der auf dessen Planarseite befindlichen Leitbahnen und Bondinseln unbedingt zu vermeiden. Wenn der Chipflächenkontakt bei der Chipanschlusskontaktierung und beim Gehäuseverschluss erhöhten Temperaturen ausgesetzt wird, muss eine dafür beständige Verbindungsvariante gewählt werden.

Die gegenwärtig bekannten Chipbondverfahren werden entsprechend des verwendeten Zusatzwerkstoffes in die Gruppen **Kleben**, **Weichlöten**, **Anlegieren** und **Anglasen** eingeteilt (Tabelle 1, Seite 7). Chipkleben ist das am häufigsten eingesetzte Verfahren. Weichlöten findet seinen Einsatz vor allem im Bereich der Leistungsbaulemente. Unter Anlegieren wird gewöhnlich das Löten mit dem System Au–Si bei ca. 400 °C bis 420 °C, in der Regel für das Die-Bonden von Si-Chips mit Trägerstreifen verstanden. Anlegieren wird zu Gunsten des Chipklebens nur noch selten benutzt. Es besitzt aber einige interessante Verfahrenseigenschaften, wie ein großes Parameterfenster sowie eine Chiprückseitenmetallisierung ist durch das Verwenden von Au–Folien nicht notwendig. Im Sonderfall der Verwendung von Keramikhalbschalengehäusen werden die Chips angeglast.

2.2.1. Chipkleben

Chipkleben ermöglicht die haftfeste Kontaktierung der Halbleiterchips auf den unterschiedlichsten Trägermaterialien gleichermaßen gut (z. B. massives Metall, metallische Schichten, Keramik, Glas, organische Träger). Aufgrund der geringen Temperaturbelastung beim Kleben und der günstigen Werkstoffeigenschaften der Klebstoffe (niedriger Elastizitätsmodul, Spannungsrelaxation) treten auch bei der Kontaktierung großer Chips nur geringe Wärmespannungen auf. Unterschiede in der thermischen Ausdehnung von Chip und Träger können in hohem Maße ausgeglichen werden.

Grundwerkstoff:

Die Klebstoffe für das Chipbonden sind meist Epoxidharze, manchmal auch Silikon- oder Acrylharze. Sie alle sind, zumindest kurzzeitig, bis etwa 200 °C bis 320 °C [5] beständig, was für die meisten Anwendungsfälle und die nachfolgenden technologischen Prozessschritte, insbesondere für das darauf folgende Drahtbonden, ausreicht. Als weiterer Vorteil ist die mit geringem Aufwand hochproduktive, gut reproduzierbare, kostengünstige und gut automatisierbare Zuführbarkeit des Klebers. Die nachteilig geringe Wärmeleitfähigkeit der Epoxidharze kann durch den Zusatz von bis zu 75 Vol % Füllstoffen, z. B. Al₂O₃, erhöht werden. Durch Füllen mit Metall- oder metallisierten Partikeln, z. B. Au, Ag, Ni, werden die Klebstoffe sogar elektrisch leitfähig. So kann schließlich auch durch Leitkleben ein ohmscher Kontakt erzeugt werden, wenn die Chiprückseite dazu geeignet metallisiert ist.

Tabelle 1: Kenndaten der Chipmontageverfahren (Zusammenfassung)

| | Kleben | Weichlöten | Anlegieren | Anglasen |
|---|--|---|---|------------------------|
| <u>Verfahrensparameter</u> | | | | |
| • Bondtemperatur [°C] | Aushärten bei 60...180 | 180...420 (230) | 400...420 | 400...475 |
| • Bondzeit | <1s | 1...3 s | 1...3 s | 1...3 s |
| • Aushärtezeit | s...min... h | entfällt | entfällt | entfällt |
| • Benetzungshilfe | | Kreisbewegung 1...3 Hz | NF oder US | |
| <u>Verbindungswerkstoff</u> | Epoxid-, Silikon-oder Acrylharz-Klebstoff a) el. leitend b) th. leitend c) nicht leitend | Weichlot, meist PbSn (Löten mit passivem Lot) | Au – Si Eutektikum (akti- ves Löten) | (Silber-) Glaslot |
| <u>Anforderungen an die Kontaktier- partner</u> | für elektrisch leitende Verbindung Rücksei- tenmetallisierung (RSM) mit ohmschem Halb- leiterkontakt | weichlötfähige RSM, ggf. mit ohmschem Halb- leiterkontakt | keine RSM erforderlich | keine RSM erforderlich |
| • Chiprückseite | | | | |
| • Chipbondfläche auf dem Substrat | el. leitender Kontakt | weichlötfähige Oberflä- che | Oberflächenvergoldung | Keramik |
| <u>Verbindungseigenschaften</u> | | | | |
| spezifischer el. Widerstand [Ω cm] | a) $7 \cdot 10^{-6} \dots 4 \cdot 10^{-4}$ b) $10^{14} \dots 10^{15}$ c) $10^{12} \dots 10^{17}$ | 10^{-5} | $2 \cdot 10^{-3} \dots 10^{-5}$ | 10^8 |
| Thermische Leitfähigkeit [W / m K] | a) 1,4 ... 1,8 b) 0,8 ... 1,5 c) 0,2 ... 0,4 | 33 ... 64 | 264 ... 284 | 0,7 ... 1,0 |
| Scherfestigkeit [N/mm ²], [MPa] | 10,5 ... 18,5 | 22 ... 39 | 33 | 30 ... 40 |

Um kleine elektrische Übergangswiderstände zu erreichen, sind Chiprückseite und die Anschlussfläche des Chipträgers mit einer auf den Kleber abgestimmten Metallisierung zu versehen, z.B. für die Chiprückseite: Au-Si, AuSb-Si, Al-Si. Auf der Trägerseite haben sich oft Au und Ag-Legierungen bei metallischen Trägern bzw. Ag-haltige Dickschichtsysteme auf Keramiksubstraten bewährt. Als ungünstig haben sich dabei Al-Schichten, wegen des hohen Widerstandes der Aluminiumoxidschicht, erwiesen.

Moderne Leitkleber genügen folgenden Anforderungen:

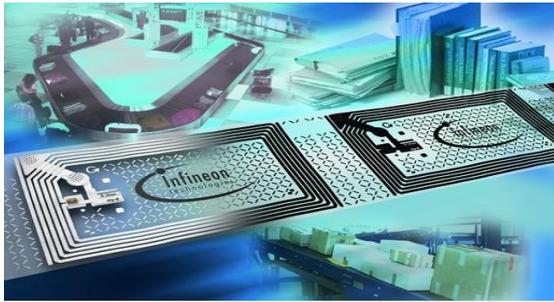
- Verarbeitung in automatisierten Prozessen möglich,
- Haft- und Scherfestigkeit ≥ 10 MPa,
- spezifische elektrische Leitfähigkeit $\leq 10^{-4}$ Ω cm,
- thermische Leitfähigkeit $\geq 2,0$ W/m K,
- thermischer Ausdehnungskoeffizient 10^{-4} /K,
- zulässige Temperaturbelastung -55 °C ...125 °C, Zersetzung bei > 200 °C,
- keine Ausgasung,
- keine Blasenbildung,
- geringe Wasserabsorption,
- niedriger Kationen- und Anionengehalt,
- an die Aufgabe angepasste Viskosität,
- Topfzeit > 8 h,
- Einkomponentenkleber.

Aufgrund der Flexibilität des Verfahrens und der vorteilhaften Verbindungseigenschaften wird das Chipkleben oft auch dann gewählt, wenn Alternativverfahren einsetzbar sind. Einige Anwendungen sind jedoch ausschließlich an die Klebetechnik gebunden. Chipkarten und COB-Anwendungen wären beispielsweise ohne Chipkleben kaum denkbar. Einige organische Träger würden die höheren Prozesstemperaturen der anderen Verfahren nicht unbeschadet überstehen. Im Gegenzug hat gerade die anhaltend rasante Verbreitung der Chipkarten mit Stückzahlen von 100 Mio./Jahr maßgeblich zur Entwicklung der Klebetechnik beigetragen, indem sie die kostengünstige Bereitstellung vielfältig optimierter und den jeweiligen Anforderungen angepasster Klebstoffe und Ausrüstungen ermöglichte. Dadurch hat sich das Chipkleben bis heute zur dominierenden Chipbondtechnik entwickelt. Beispiele von Smart Labels verschiedener Hersteller sind im Bild 3 dargestellt. Bei den Smart Label Mustern ist auf den ersten Blick nicht zu erkennen, nach welcher Technologievariante die Schaltkreise kontaktiert wurden, nach der herkömmlichen Methode, nämlich Die-Bonden mit anschließendem Drahtbonden oder dass auf das Die-Bonden gänzlich verzichtet wurde und die speziell dafür mit Kontakthügeln versehenen Chips face down auf den Träger geklebt oder auch weichgelötet wurden.

Fairerweise muss gesagt werden, dass Schaltkreise auf den hier gezeigten Labels durchweg neueste Erzeugnisse der Industrie sind und aus Betrieben stammen, die die Chips mittels Flip-Chip-Technologie kontaktiert haben.

Der technologische Ablauf beim Chipkleben besteht aus drei Hauptschritten:

- Auftragen einer definierten Klebstoffmenge auf den Träger,
- Positionieren und Aufsetzen der Chips,
- Aushärten der Verbindung.



a) Smart Label (Gepäckband); Infineon



b) Textillabels; KSW Microtec Dresden [6]



c) Kofferanhänger (Texas Instruments.)



d) Reader (Texas Instruments)



e) Datenlogger; (KSW Microtec Dresden [6])

Bild 3: Beispiele für Smart Labels bzw. RFID Baugruppen.

Unabdingbare Voraussetzung für zuverlässige und hochfeste geklebte Chipbondkontakte sind saubere und fettfreie Oberflächen sowohl der Chiprückseite als auch der Anschlussflächen der Chipträger. Außerdem sind die Vorschriften der Kleberhersteller zur Verarbeitung der Kleber und zur Beschaffenheit der Fügepartner einzuhalten (siehe Datenblätter).

Klebstoffauftrag:

Dispensertechnik

Hierbei wird der Kleber mit Druckluft aus einer Kartusche durch eine Kanüle (Dosiernadel) auf den Träger aufgetragen. Die Klebstoffmenge wird durch die Wahl der Kleberviskosität, der Kanülenöffnung (Lumen), des Luftdruckes und der Dauer des Luftdruckimpulses gesteuert. Kurzzeitiger Unterdruck in der Kartusche während der Dosierpause verhindert das Nachtropfen des Chipklebers. Mit diesem Verfahren lassen sich mehrere Klebstoffpunkte pro Sekunde absetzen. Bei großen Chips werden Strukturen (X, Z, ...) auf den Chipträger geschrieben oder es werden mehrere Kanülenöffnungen verwendet. Diese Technik kommt insbesondere bei kleinen und mittleren Stückzahlen zur Anwendung.

Nadelauftrag (*Pin Transfer*) oder Stempeldruck

Nach Eintauchen eines Metallstiftes oder eines Stempels in einen Klebstofffilm bekannter Dicke, z. B. auf einer rotierenden Scheibe wird eine definierte Klebstoffmenge auf den Träger übertragen. Dabei wird ca. ein Viertel der ursprünglichen Klebstoffdicke auf dem Träger verbleiben. Bei Benutzung mehrerer Stifte können gleichzeitig viele Klebstoffpunkte gesetzt werden. Stempel unterschiedlicher Größe und Form ermöglichen den Klebstoffauftrag mit variiertem Geometrie. Dieses Verfahren ist für alle Stückzahlbereiche gleichermaßen gut geeignet.

Siebdruck, Schablonendruck

Der Klebstoff wird mit einer Rakel durch die geöffneten Stellen eines Siebes bzw. einer Schablone gedrückt. Dadurch können in einem Arbeitsgang viele Klebstoffdepots unterschiedlicher Größe gleichzeitig gedrückt werden. Die Höhe der Klebeschicht ist dabei für alle Strukturen einheitlich. Sie wird durch die jeweilige Sieb- bzw. Schablonendicke vorgegeben. Die genaue geometrische Gestaltung der Druckstrukturen ist auch abhängig von den Fließeigenschaften der Kleber (Grundwerkstoff, Füllstoffe, Viskosität). Im allgemeinen Fall muss sie durch technologische Tests optimiert werden. Siebdruck ist nur auf ebenen Oberflächen möglich. Bei COB-Anwendungen kann die Bestückung der betreffenden Leiterplattenseite mit den anderen Bauelementen daher erst nach der Chipmontage erfolgen.

Siebdruck ist prädestiniert für große Stückzahlen. Für kleinere Stückzahlen ist die Herstellung eines Siebes bzw. einer Schablone oft nicht wirtschaftlich.

Chipklebeband

Für hochautomatisierte Fertigungen gilt die Verwendung von Klebeband als Alternative zu den pastösen Klebern. Klebebänder sind auf automatischen Chipbondern ähnlich wie Au-Bandfolien verarbeitbar. Die von einer Spule abgewickelte Folie wird auf Chipgröße geschnitten und auf die vorgeheizte Chiprückseite aufgesetzt und leicht angedrückt. Aushärteschritte sind deshalb nicht erforderlich und die Chipbondzeit beträgt oft nur 100 ms.

Chip aufsetzen:

Positionieren und senkrecht aufsetzen der Chips erfolgt außer bei der Verwendung von Chipklebebändern bei Raumtemperatur. Die Aufsetzkraft beeinflusst letztendlich die Dicke des Chipflächenkontaktes, die Gleichmäßigkeit der Klebstoffverteilung und die Ausbildung des Klebstoffmeniskus entlang der Chipkanten. Bei zu großer Aufsetzkraft besteht die Gefahr, dass Klebstoff bis auf die Chipoberfläche gelangen kann. Die Klebefuge sollte homogen sein, eine Dicke zwischen (5 bis 20) μm besitzen, ohne Gaseinschlüsse sein und keine unbenetzten Stellen aufweisen.

Klebstoffhärten:

Ein typischer Arbeitspunkt für das Aushärten von Epoxidharzklebstoff liegt bei 120 °C/30 min. Der mögliche Temperaturbereich erstreckt sich jedoch etwa von 60 °C bis 180 °C. Durch die Aushärtetemperatur werden Geschwindigkeit und Grad der Klebstoffvernetzung beeinflusst, so dass damit selbst bei gleichem Kleber unterschiedliche Verbindungseigenschaften eingestellt werden können. Hochtemperaturhärtung bewirkt in kurzer Zeit eine 100-prozentige Vernetzung der Monomere des Epoxidharzes. Hohe Kleberfestigkeit, beste Beständigkeit gegenüber Feuchtigkeit und Gase sowie geringste elektrische und thermische Widerstände werden erreicht. Nach Hochtemperaturhärtung zeigen die Klebstoffe jedoch auch die höchste Sprödigkeit. Die Härtung bei niedrigen Temperaturen bedingt deutlich längere Aushärtezeiten, einen niedrigeren Vernetzungsgrad, verringerte Kleberfestigkeit sowie höhere elektrische und thermische Widerstände. Sie ermöglicht aber auch einen besseren Abbau thermo-mechanischer Spannungen im Chipflächenkontakt. Daher geben die Hersteller in den Kleberspezifikationen oft Aushärtezeiten für verschiedene Temperaturen an. Als Faustregel kann gelten, dass sich die Reaktionszeit verdoppelt bzw. halbiert, wenn die angegebene Temperatur um 10 % (in °C) unter- bzw. überschritten wird. Längeres Aushärten bleibt ohne Folgen. Bei zu kurzer Aushärtung ist die Polymerisationsreaktion jedoch noch nicht abgeschlossen.

Epoxidharzklebstoffe werden meist in Durchlauföfen, seltener in stationären Wärmeschränken, ausgehärtet. Hauptaugenmerk liegt dabei auf der präzisen Temperatursteuerung, da bereits geringe Temperaturabweichungen zu einer erheblichen Veränderung der Aushärtezeit führen (s. o.). Ein weiteres Aushärteverfahren ist die Vapor-Phase-Härtung. Hierbei wird das aus der Löttechnik bekannte Verfahren der Vapor-Phase-Erwärmung genutzt, um eine sehr exakte Temperatur zu erhalten.

Kleber auf Acrylharzbasis lassen sich mit UV-Licht in wenigen Sekunden aushärten. Komfortable UV-Quellen emittieren neben kurz- und langwelliger UV-Strahlung auch einen IR-Anteil, um eine gleichmäßige Klebstoffaushärtung zu erreichen.

2.2.2 Weichlöten

Das Chipflächenkontaktieren mittels Weichloten ist ein Verfahren, das aufgrund der erreichbaren sehr guten thermischen und elektrischen Eigenschaften hauptsächlich für die Montage von Leistungsschaltkreisen genutzt wird. Voraussetzung ist eine lötfähige Metallisierung auf der Chiprückseite. Diese muss bei guter Haftung auf dem Halbleiter vom flüssigen Lot leicht und vollständig benetzt werden können. Außerdem soll sich ein sperrschichtfreier (gleich ohmscher) elektrischer Kontakt zum Halbleiter ausbilden. Folgende Metallisierungen haben sich bewährt [2]:

| | |
|--------|----------------|
| n-Si | Ti, NiSi, AuSb |
| p-Si | Al, AuGa, AuIn |
| p-GaAs | Ti, Au |

Als lötfähige Deckschicht wird darauf Ni (0,5..3) μm , Au oder Ag abgeschieden. Au führt zu besonders gutem Fließverhalten des Lotes, aber auch zum Entstehen spröder intermetallischer Phasen (AuSn). Ihre Dicke soll daher (0,1-0,5) μm nicht überschreiten.

Gewöhnlich kommen für das Weichlöten von Chips PbSn-Lotlegierungen zur Anwendung, die je nach Anforderung an die Lötverbindung mit verschiedenen Zusätzen wie Ag, In, Sb, Bi, Cd, versehen werden können. Die im Vakuum geschmolzenen sehr reinen Chipote werden entweder am Ende des Waferprozesses auf der Chiprückseite aufgebracht oder während des Chipbondens als separates Formteil bzw. als Band zugeführt.

Zum Erreichen eines guten Lötergebnisses ist Oxidfreiheit der Oberflächen unbedingte Voraussetzung. Da sich die Verwendung aggressiver Flussmittel wegen deren schädigender Rückstände verbietet, wird oft unter Schutzgas oder in reduzierender Atmosphäre (gereinigtes H_2 - oder $\text{H}_2\text{-N}_2$ -Gemisch) gelötet. Durch Relativbewegung der Verbindungspartner zueinander, d.h. bei Einleitung einer Reibbewegung beim Chipaufsetzen, können die Fremdschichten ebenfalls aufgerissen und der Benetzungsvorgang eingeleitet werden.

Die Verfahrenstemperaturen beim Chipflächenkontaktieren durch Weichlöten liegen in Abhängigkeit von der Lotzusammensetzung zwischen 180 °C und 420 °C. Die in der Elektronik in der Vergangenheit am häufigsten eingesetzten Legierungen waren Zinn-Blei-Weichlote mit /ohne Zusätze (Sn63Pb37, Sn60Pb40, Sn62Pb36Ag2). Eutektisches bzw. naheutektisches PbSn-Lot wird bei etwa 230 °C gelötet. Diese Lote besitzen gute duktile Eigenschaften, die sich mit Erhöhung des Pb-Anteiles noch verbessern. Heutzutage eingesetzte bleifreie eutektische bzw. naheutektische Lote sind z.B. SnAg3,5 (T_s : 221 °C), SnAg3,8Cu0,7 (T_s : 217 °C), SnBi58 (T_s : 138 °C). Somit bietet das Weichlöten die Möglichkeit, Chips auf Träger zu montieren, die bezüglich des Ausdehnungskoeffizienten thermisch nicht angepasst sind. Das typische Anwendungsbeispiel sind deshalb vorverzinnte Cu-Träger, auf die dann mittlere und große Chips der Leistungselektronik thermisch und elektrisch leitend chipflächenkontaktiert werden können.

Zum Die-Bonden von Si-Leistungsbau-elementen, optoelektronischen (GaAs, GaP, GaAsP) und Ge-Bau-elementen, sowie für die Montage von Sensoren werden Lotsysteme mit bis zu 5 Komponenten auf der Basis von Pb, Sn, Ag, In und weiteren Legierungsbestandteilen verwendet, wobei auch hier die Schmelztemperaturen von 200 °C bis 380 °C variiert werden können.

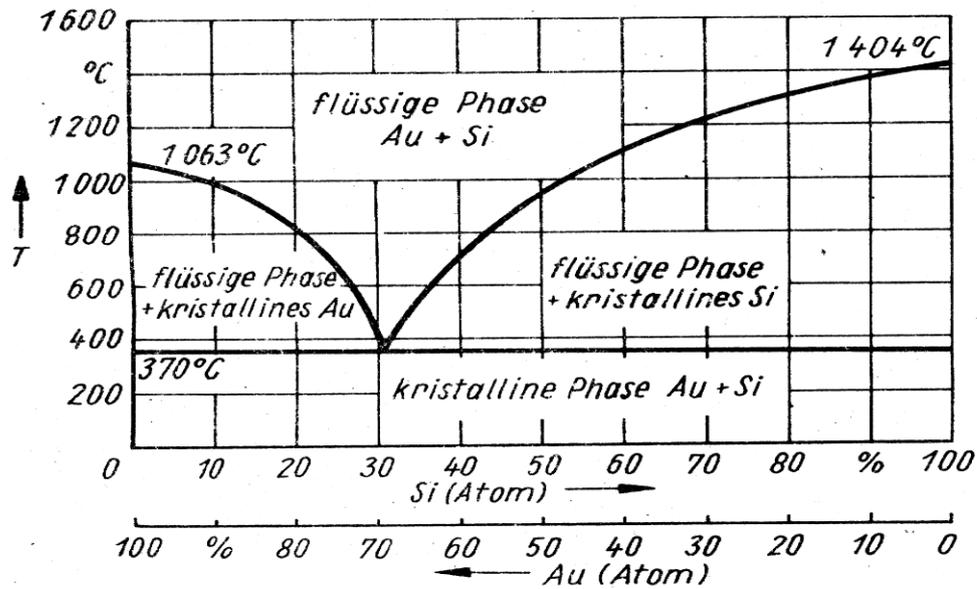


Bild 4: Zustandsdiagramm für das Legierungssystem Au-Si [1]

2.2.3 Anlegieren

Anlegieren ist der meist verwendete Begriff für die spezielle Variante des Die-Bondens durch Löten unter Verwendung von Au-Plättchen oder Au-Paste, wodurch sich die Rückseitenmetallisierung des Chips einsparen lässt.

Über viele Jahre wurden die Halbleiterchips auf FeNiCo-Trägerstreifen vorrangig durch Anlegieren befestigt. Das Anlegieren hatte sich zu einem eigenständigen millionenfach angewendeten Verfahren entwickelt, dem die Technologie „Löten“ auf den ersten Blick nicht sofort anzusehen war.

Dem Zustandsschaubild (Bild 4) ist zu entnehmen, dass das System Silizium/Gold ein Eutektikum mit dem Schmelzpunkt bei 370°C aufweist. Da die Anschlusszinken des Trägerstreifens für das Drahtbonden gewöhnlich ohnehin vergoldet werden, kann im gleichen Arbeitsgang auch die Mittelinsel haftfest mit Au beschichtet werden. Anschließend reicht nach gründlicher Reinigung das einfache Aufsetzen des Siliziumchips auf die Mittelinsel bei etwa 400°C, leichtem Druck (0,5 N/mm² entspricht 0,5 MPa) und geringer Relativbewegung für das Entstehen der eutektischen Legierung in kurzer Zeit (< 1 s). Gold und Silizium diffundieren am Interface ineinander. Das geschmolzene Lot breitet sich danach rasch über die gesamte Chiprückseite aus. Auf diese Weise entsteht ohne weitere Zusatzwerkstoffe ein nach dem Abkühlen mechanisch stabiler, temperaturbeständiger Chipflächenkontakt mit niedrigem thermischen Widerstand und sperrschichtfreier elektrischer Ankopplung am Halbleiterchip. Die Verfahrensgrenzen wurden allerdings erreicht, als die Chips zunehmend Kantenlängen von 10 mm und mehr aufwiesen.

Der Chipflächenkontakt aus Gold-Silizium ist dünn, hart und spröde. Ausdehnungsunterschiede zwischen Chip und Trägerstreifen können nicht ausgeglichen werden. Selbst bei Verwendung der FeNiCo-Trägern traten nach dem Kontaktieren massiv Brüche der großen Chips auf. Heute wird das Verfahren nur noch für diejenigen kleinen Chips (< 25 mm²) angewendet, für die Leitleben aus thermischen Gründen ungeeignet ist (hohe Verlustleistung bzw. Betriebstemperatur).

Aufgrund der ablaufenden Vorgänge wird das Anlegieren auch als eutektisches Löten, aktives Löten, Hartlöten oder Legieren bezeichnet.

2.2.4 Anglasen

Beim Anglasen wird das Si-Chip zwischen 400 °C und 475 °C [4] auf den mit Glaslot beschichteten Boden eines Keramikschalengehäuses gesetzt und etwa 1 s lang leicht angedrückt. Gleichzeitig wird der Anschlusskamm in das geschmolzene Glaslot eingedrückt und damit am Gehäuse des Bausteins befestigt. Durch nochmaliges Aufschmelzen des Glaslotes im Anschluss an das Drahtbünden kann auch der Gehäusedeckel ohne weiteren Zusatzwerkstoff aufgesetzt werden. Die hermetisch dichte Verbindung zum Gehäuse kommt zustande, weil Glas eine natürliche Tendenz zur Reaktion mit dem Oxid des Substrates (Al_2O_3) besitzt. Die genauen Verfahrenstemperaturen und die -zeiten sind zu optimieren. Einerseits verbessert eine Temperaturerhöhung die Benetzungsfähigkeit des Glaslotes und erlaubt somit kürzere Taktzeiten. Andererseits führt sie zu verstärkter Oxidation der Metallschichten und beeinträchtigt dadurch die nachfolgende Chipanschlusskontaktierung. Glaslotverbindungen sind gewöhnlich mechanisch stabil aber spröde, thermisch schlecht und elektrisch nicht leitfähig. Um die Verbindungsnachteile zu reduzieren, wurde ein an das Silizium angepasstes Silberglaslot entwickelt, das als PASTE auf den Gehäuseboden aufgetragen werden kann. Nach dem Ausbrennen der organischen Lösungsmittel und Harze bleiben nur noch die in das Glas eingebetteten Silberpartikel zurück. Diese reagieren mit der Chiprückseite und bilden eine etwa (5...10) μm dicke Zwischenschicht. Damit können auch mittelgroße Chips mit Seitenlängen > 7 mm kontaktiert werden.

Anglasen wird ausschließlich für die Befestigung von Halbleiterbauelementen auf Keramik, insbesondere in Keramikschalengehäusen, genutzt und ist somit als Sonderverfahren anzusehen.

2.3. Bruchverhalten von Klebungen

2.3.1 Gütekriterien für eine Chipbondverbindung

Die Qualität einer Chipbondverbindung wird zerstörungsfrei durch visuelle Betrachtung und/oder auch durch elektrische Messung bestimmt. Die mechanische Festigkeit der Chipbondverbindung kann durch Abscheren, d. h. durch Zerstörung der Verbindung bestimmt werden. Die Scherfestigkeit einer Chipbondverbindung sollte mindestens 10 N/mm^2 (10 MPa) betragen. Die Chiprückseite sollte möglichst vollständig vom Verbindungswerkstoff benetzt werden, mindestens jedoch zu 80 %. Der Kleber oder das Lot sollte nicht an den Chipseitenkanten zur Oberseite des Chips hochsteigen. Der Chip darf beim Kontaktierprozess nicht beschädigt werden.

2.3.2 Bruchbildarten [8]

Die Charakterisierung des Bruchverhaltens von Klebungen wird nach [10] geregelt. Bei mechanischen Prüfungen (zerstörend) werden verschiedene Bruchbildarten definiert (s. Bild 5 [9]). Man unterscheidet hierbei zwischen Adhäsionsbrüchen, Kohäsionsbrüchen und Mischbrüchen. Reine Adhäsionsbrüche, also die exakte Trennung zwischen den Atom- und Moleküllagen der beteiligten Füge-teile, treten sehr selten auf. Wahrscheinlicher ist nach [9], dass an einer extrem dünnen Schicht zwischen Klebeschicht und Füge-teil bei Belastung kohäsives Versagen in Abhängigkeit vom strukturellen Aufbau der Klebeschicht auftritt. Praktisch findet man Kohäsionsbrüche in Form von Sprödbrüchen oder zähen Brüchen und Mischbrüchen, wie sie im Bild 5 dargestellt sind. Ein Sprödbbruch ist gekennzeichnet durch einen verformungslosen Bruch (hohe Ausbreitungsgeschwindigkeit), d. h., über die Klebeschicht kann eine durch mechanische Beanspruchungen hervorgerufene Verformungsarbeit nicht abgebaut werden. Beim zähen Bruch geht eine Verformung der Klebeschicht voraus.

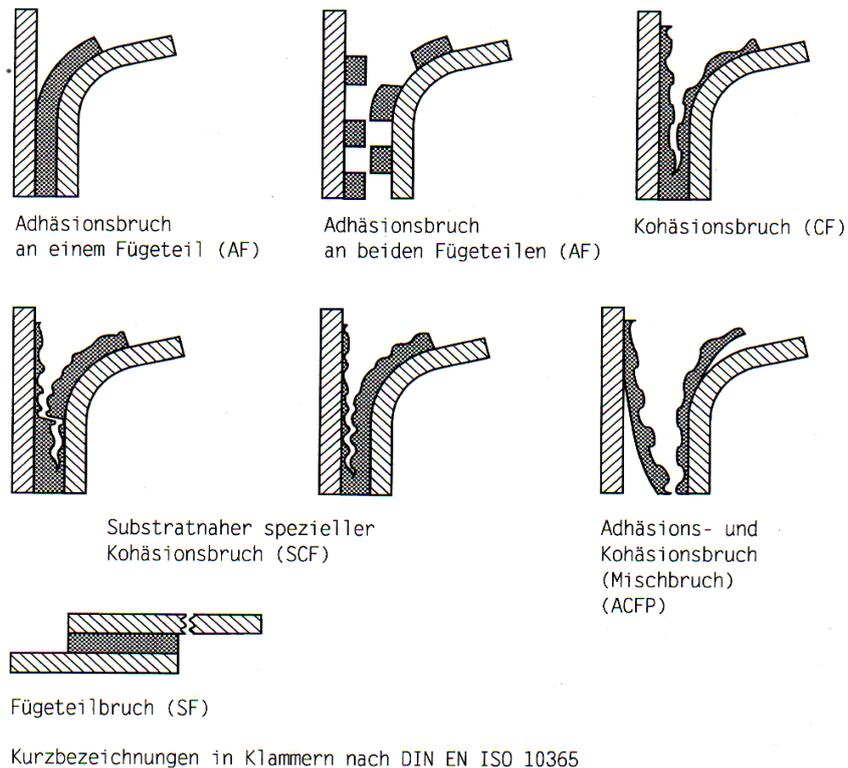


Bild 5: Bruchbildarten von Klebungen (aus [9])

3 Gerätetechnik

3.1 DIE-Bonder

Für die Montage von Chips stehen Ausrüstungen unterschiedlicher Ausstattungsgrade zur Verfügung. Prinzipiell unterscheiden sie sich nach dem Chip-Bondverfahren. Die Palette reicht vom manuellen Bonder zur Einzelmusteranfertigung bis hin zu Vollautomaten, die in eine automatisierte Fertigungslinie integriert sind und Taktzeiten unter 1 s zulassen.

DIE- Bonder führen folgende technologische Schritte durch:

- Entnahme der Bauelementeträger wie Substrate, Trägerstreifen, Gehäuse aus einem Magazin und Transport zur ersten Verarbeitungsstation,
- Aufbringen von Kleber, Lot u. s. w.,
- Transport zur Bondstation,
- Entnahme des Chips mit einem geeigneten Bondwerkzeug aus einem Magazin oder von einer Klebefolie (Bild 7),
- Positionieren und Aufsetzen des Chips auf den Träger mit oder ohne Relativbewegung,
- Nach dem Chipkleben erfolgt Aushärten des Klebers im Wärmeschrank.

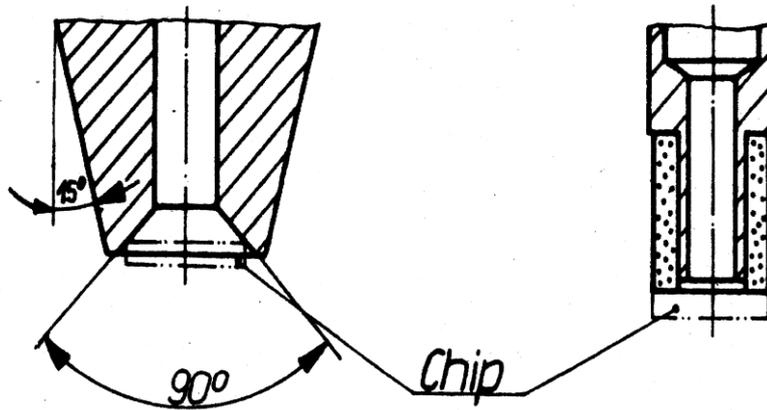


Bild 6a: Chipbondwerkzeug zum Anlegieren

Bild 6b: Werkzeug zum Kleben

Vollautomatische, hochproduktive Chip-Bonder können Gutchips vollautomatisch und selektiv direkt dem Waferverband entnehmen. Dies wird durch das „Wafer mapping“, die informationstechnische und fertigungstechnische Verknüpfung des Die-Bondens mit den vorgelagerten Prozessen, das Messen der elektrischen Parameter im Waferverband erst ermöglicht. Durch den Einsatz hoch entwickelter Computersysteme in Verbindung mit entsprechender Sensorik werden diese Ausrüstungen Bestandteil flexibler, programmierbarer Fertigungslinien mit höchster Produktivität und Variabilität.

Nachfolgendes Bild 7 zeigt die Arbeitsfolge eines einfachen Klebebonders.

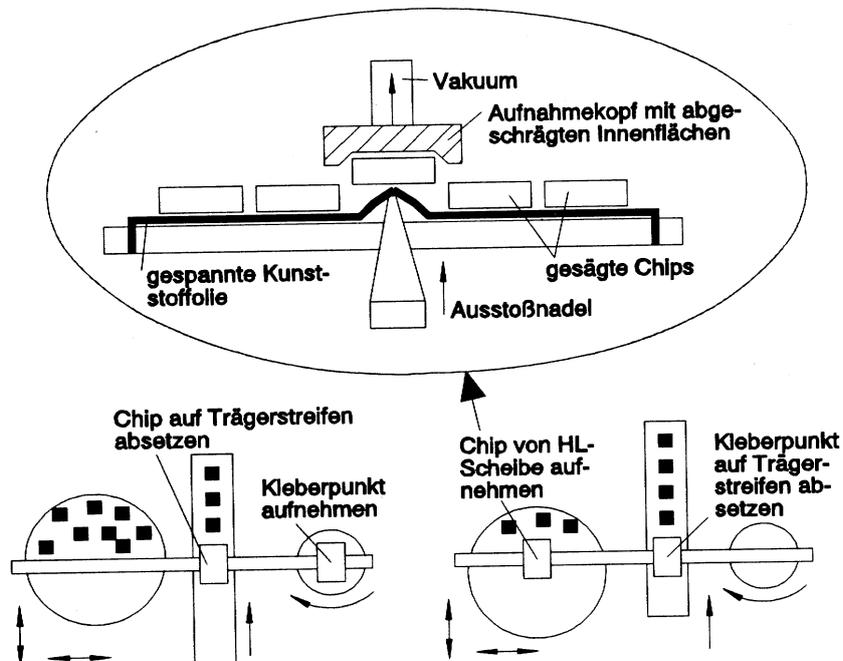


Bild 7: Arbeitsabläufe an einem Chipklebebondner [5]

3.2 Fineplacer / Wärmeschrank

Fineplacer werden zum präzisen Positionieren und anschließenden Löten oder Kleben von elektronischen Komponenten wie BGA, QFP, CSP, Dioden und Flip-Chips verwendet. Für das Chip-Bonden lässt sich der Fineplacer in speziellen Fällen, z. B. wenn hochgenaue Positionierungen erforderlich sind, bei geringeren Stückzahlen oder wenn keine Spezialausrüstung zum Die-Bonden zur Verfügung steht, sowohl für das Kleben aber auch für das Löten sehr gut verwenden.

Das Prinzip des im Praktikum verwendeten Fineplacers ist im Bild 8 dargestellt. Die Chipträger werden auf einem heizbaren Luftkissentisch, der magnetisch arretiert wird, durch Vakuumansaugung fixiert. Ein Schwenkarm, der im Ausgangszustand senkrecht zum Luftkissentisch steht, dient zur Vakuumansaugung (Fixierung) und – wenn erforderlich – Heizung der elektronischen Bauelemente. Beide Objekte (Chip und Substrat) sind mittels Strahlteiler und zugehörigem Mikroskop zur gleichen Zeit in einem Bild sichtbar und lassen sich vorerst grob durch Verschieben des entriegelten Tisches, später fein durch Mikrometerschrauben, die den Tisch in X- und Y-Richtung bewegen, zueinander positionieren. Bei neueren Geräten sind auch Verstell-schrauben zur Winkelpositionierung vorhanden.

Ein wichtiger Gesichtspunkt ist die Einstellung der richtigen Höhe der Chipträger. Alle Chipträger (Keramik, Leiterplatte, Glassubstrat, Folie etc.) sind unterschiedlich dick, was zur Folge hat, dass die Oberflächen beider Fügepartner bei der Betrachtung im Splittingmikroskop in unterschiedlichen Höhen liegen und sich deshalb nicht exakt positionieren lassen. Der erforderliche Höhenausgleich erfolgte bisher durch Beilagen, die innerhalb des Tisches eingelegt wurden, um die Höhendifferenzen der Träger auszugleichen. Bei neueren Geräten dienen Stellschrauben zur Höhenregulierung des Tisches. Nach der Positionierung lässt sich der Arm in Richtung Träger schwenken und den Chip auf dem Träger durch Vakuumabschaltung ablegen. Die Temperaturverläufe, die nach der Chipablage für das Löten oder das Kleben erforderlich sind, lassen sich am Fineplacer einstellen. Die notwendige Abkühlzeit, insbesondere die des Tisches, bedingt gewisse Wartezeiten, um die Träger nicht auf den stark erwärmten Tisch zu legen. Das ist der Grund dafür, dass im Praktikum das Aushärten des Klebstoffs der mit dem Fineplacer positionierten Chips in einem Wärmeschrank durchgeführt wird.

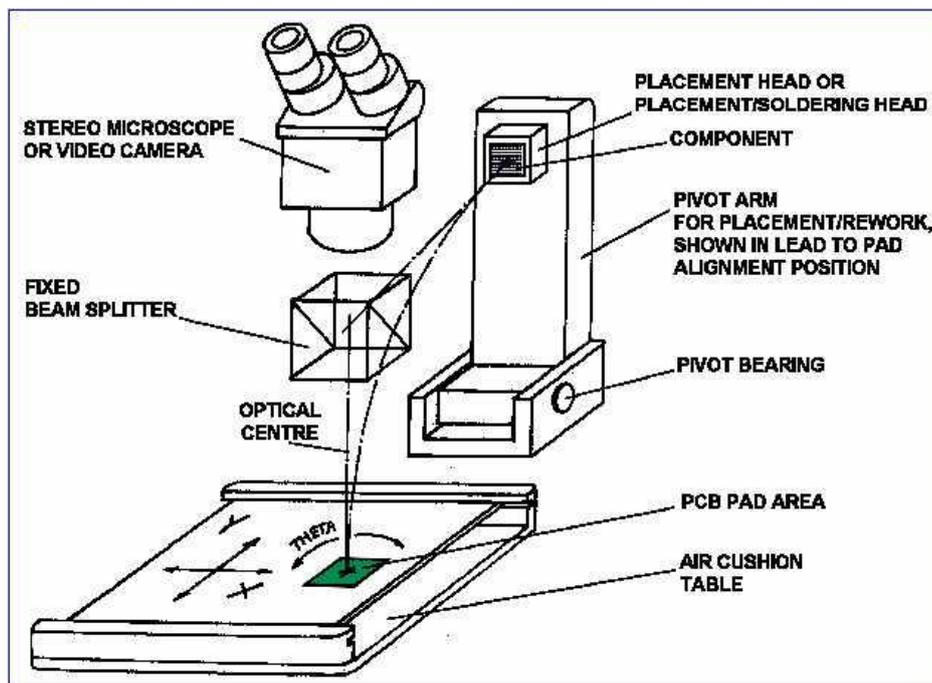


Bild 8: Schematische Darstellung des konstruktiven Aufbaus eines Fineplacers [7]

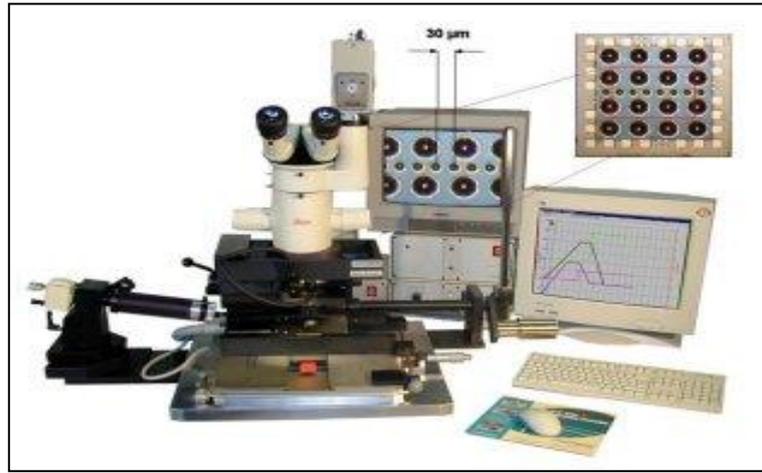


Bild 9: Fineplacer Lambda / Opto Bonder für manuellen Betrieb [7]

3.3 Prüftechnik

Die Qualitätsbewertung von DIE-Bondkontakten wird unabhängig vom verwendeten Bondverfahren sowohl zerstörungsfrei als auch zerstörend durchgeführt. Durch zerstörungsfreie Prüfverfahren wie Ultraschallmikroskopie, röntgenographische Verfahren und neuerdings computertomographische Untersuchungen lassen sich insbesondere Größe und räumliche Verteilung von Lunkern aber auch der Benetzungsgrad bzw. Risse und Ablösungen von Kleber oder Lot-schichten zwischen Chip und Träger beurteilen. Zerstörungsfreie Prüfverfahren wie Röntgen oder Ultraschall sind nicht Gegenstand dieses Praktikums.

Als zerstörendes Prüfverfahren kommt vorwiegend das Abscheren des DIE-gebondeten Chips zur Feststellung der Haftfestigkeit des Chipbondkontaktes zum Einsatz. Bei den meist universell einsetzbaren Bondtestern, mit denen sowohl Drahtbrücken abgezogen als auch Chips oder Bumps abgeschert werden können (Bild 10), wird eine Scherkraft parallel zur Chipbondfläche über einen Schermeißel auf eine Seitenfläche des Chips mit definierter Geschwindigkeit aufgebracht und die Kraft gemessen, mit der der Chip abgeschert wird. Die ermittelte Scherfestigkeit gibt Aufschluss über die Qualität der Verbindung. So z. B. ist beim DIE-Bonden durch Kleben die Scherfestigkeit von >10 MPa für den nachfolgenden technologischen Prozess (Drahtbonden) eine sehr gute Verbindungsfestigkeit.



Bild 10: Bondtester der Fa. Dage [8]

4. Versuchsdurchführung

4.1 Arbeitsschutzvorschriften

Vor der Durchführung aller Praktikumsversuche erhalten alle Studenten, die am Praktikum teilnehmen, eine aktenkundige Belehrung über sicherheitsgerechtes Verhalten in den Laboren. Zeit und Ort dafür werden zu Semesterbeginn bekannt gegeben.

Die Arbeitsschutzvorschriften sind außerdem bei Dr. G. Hielscher, IAVT, WHB Raum 163, Tel.: 32080 einzusehen:

- Unfallverhütungsvorschrift „Allgemeine Vorschriften“ (GUV 01)
- Unfallverhütungsvorschrift „Elektrotechnische Anlagen und Betriebsmittel“ (GÜV 2.10)
- Vorschriften zum Umgang mit Epoxidharzen
- Unterrichtsräume mit Experimentalständen, DIN, VDE 0100, Teil 723 / 11.90)

4.2 Ablauf des Versuches

- Schriftlicher Eingangstest (Inhalte Praktikumsanleitung)
- Der Versuchsdurchführende erklärt die Laborausrüstungen für das Vereinzeln von Chips (Wafersäge) und für die Chipflächenkontaktierung (Labor-DIE-Bonder der Fa. Tresky, Fineplacer der Fa. Finetech GmbH, Schertester 2400 PC der Firma DAGE, Wärmeschrank Heraeus T6030, optischer Prüfplatz – Zeiss Stemi-2000). Der Versuchsdurchführende demonstriert und erklärt den Studenten den technologischen Ablauf und die verfahrensspezifischen Parameter für die Herstellung von DIE-Bond-Klebeverbindungen am DIE-Bonder insbesondere für die Teilschritte:
 - Klebstoffauftrag durch Dispensen und den Einfluss der wesentlichen Einstellparameter auf die aufzubringende Klebermenge,
 - Aufnahme, Positionieren und Aufsetzen der Chips,
 - Klebstoffaushärten,
 - Prüfung der DIE-Bond-Qualität durch Schertests und visuelle Inspektion der Bruchflächen hinsichtlich Lunker und unvollständiger Benetzung
- Am DIE-Bonder T-3001 der Firma Tresky wird der Einfluss der Zeitdauer auf die Dosiermenge des verwendeten Klebstoffes ermittelt. Auf zwei Keramikträgern (Größe 50x30x0.8) sind maximal insgesamt 20 Klebstoffdots zu setzen. Dabei sollen 4 unterschiedliche Dispenszeiten gewählt werden. Anschließend werden die quadratischen Chips (Dummy unstrukturiert mit Kantenlänge 2 mm) mit definierter Andruckkraft mit dem Fineplacer-145 „pico“ platziert und die Probe nach Angaben des entsprechenden Datenblattes (siehe Anhang 7.1) im Wärmeschrank ausgehärtet.
- Die geklebten Chips sind mit dem Schertester DAGE 2400 PC abzuscheren und die Scherfestigkeit zu ermitteln. Die abgescherten Flächen sind am optischen Prüfplatz hinsichtlich Benetzungsfläche und Fehlstellen mit den gemessenen Scherwerten zu vergleichen, nach Bruchbildarten zu beurteilen und im Protokoll zu diskutieren.
- Weiterhin wird für das Praktikum Drahtbonden ein Substrat vorbereitet. (siehe Anhang 7.3)

4.3 Versuchsauswertung

- Anfertigung eines Protokolls pro Praktikumsgruppe als Hausaufgabe
- Abgabetermin des Protokolls: innerhalb von 4 Wochen nach dem Versuchstermin
- Abgabeform (schriftlich in Protokollform – Stichpunkte / Tabellen / Diagramme):
 - digital als pdf oder docx als Mail an Versuchsbetreuer (maik.mueller@tu-dresden.de)
 - ausgedrucktes Protokoll an Maik Müller ([MIE 314](#)) oder Sekretariat IAVT ([GLB 7-105](#))

Gliederung des Protokolls:

- Aufgabenstellung
- Geräte und Methoden
- Ergebnisdarstellung
- Diskussion und Zusammenfassung

Aufgabenstellung:

Untersuchung der Scherfestigkeit von Die-Klebeverbindungen in Abhängigkeit von der Dispenszeit bzw. des Klebevolumen.

Geräte und Methoden:

- aufzählen sämtlicher Geräte, Materialien und Prozessparameter
- kurzer Abriss der Vorgehensweise
- Angabe der Versuchsreihe (Welcher Parameter wurde wie variiert?)

Die Angabe sämtlicher Parameter soll es Dritten ermöglichen den Versuch unabhängig zu wiederholen! Darüber hinaus soll das Experiment vollständig und transparent dargestellt werden, um bei der eigenen Auswertung mögliche Fehlerquellen zu identifizieren!

Ergebnisdarstellung:

- Sämtliche Ergebnisse zu den Scherversuchen sollen nachvollziehbar und vollständig in tabellarischer Form dargestellt werden.
- Die Auswertung der Ergebnisse sollte in geeigneter Form (z.B. Diagrammen) erfolgen, um die wichtigsten Ergebnisse deutlich sichtbar zu machen.
- Überlegen Sie welche Zusammenhänge ausgewertet werden können bzw. was Sie gemessen haben und stellen Sie dies dann auch dar!
- Falls Berechnungen nötig werden, geben Sie kurz an was wie berechnet wurde!

Diskussion und Zusammenfassung:

- Diskutieren Sie mögliche Fehlereinflüsse auf Ihre Ergebnisse (z.B. beim Dispensieren des Klebstoffes, beim Platzieren der Chips, beim Aushärten und beim Abscheren)!
- Beantworten Sie die wichtigsten Fragen, welche sich aus der Aufgabenstellung ergeben!
- Beachten Sie ggf. Mindestanforderungen!
- Geben Sie, falls möglich, die von Ihnen als ideal ermittelten Parameter an!
 - ➔ Begründen Sie Ihre Aussagen!

5. Schwerpunkte für die Versuchsvorbereitung

- Erarbeiten Sie sich unter besonderer Beachtung des DIE-Bondens eine Übersicht über den Back-End-Prozess bei der Fertigung von monolithischen Schaltkreisen. Als Ergebnis dieser Übersicht sollten sich folgende Fragen beantworten lassen:
 - In welchen Back-End-Prozessabläufen ist DIE-Bonden unbedingt erforderlich, wann ist DIE-Bonden überflüssig?
 - Welche Kriterien sind für die Auswahl des jeweiligen Chipflächenkontaktierverfahrens entscheidend?
 - Welche Rolle spielt das Belastungsprofil der fertigen Baugruppe (Betriebstemperatur, Temperaturwechsel, abzuleitende Wärmemengen) und vorgegebene konstruktive Daten, wie zu verarbeitende Chipgröße bzw. zu verwendende Trägermaterialien auf die Auswahl des DIE-Bond-Verfahrens sowie auf die zu verwendeten Hilfsstoffe wie Kleber oder Lote?
- Charakterisieren Sie die Verfahren zur Chipflächenkontaktierung. Schwerpunkte sind: Verfahrensablauf, Verfahrensparameter, Werkstoffe, Anwendung.
- Mit welchen Verfahren würden Sie unter der Voraussetzung minimaler Kosten Massenprodukte wie z.B. Smart Labels DIE-Bonden?

6. Literatur

- [1] Wolter, K.-J.: Vorlesungsskript „Aufbau- und Verbindungstechnik I“ TU Dresden, Institut für Aufbau- und Verbindungstechnik der Elektronik, Ausgabe 2009
- [2] Schneider, W.; „Werkstoffkundliche Aspekte bei der Optimierung der Chip on Board-Technologie“, Tagungsband „SMT / ES&S / HYBRID Nürnberg, 1997“, S.115–124
- [3] Hoffmann, T.; Mikroelektronik, Band 5, „Miniaturisierung auf Baugruppenebene“, Hüthig Buch Verlag Heidelberg, 1992, S.149–185
- [4] Hanke, H.J.; Fabian, H., „Technologie elektronischer Baugruppen“, Verlag Technik GmbH Berlin, 1991
- [5] Schade, K.; „Mikroelektroniktechnologie“, Verlag Technik GmbH Berlin, 1991
- [6] www.ksw-microtec.de, letzter Zugriff 27.03.2007
- [7] www.finetech.de, letzter Zugriff 27.03.2007
- [8] www.dage-group.com, letzter Zugriff 27.03.2007
- [9] Habenicht, G.: Kleben – Grundlagen, Technologie, Anwendungen; 3., völlig Neubearb. und erw. Auflage, Springer Verlag, Berlin-Heidelberg 2003
- [10] DIN EN ISO 10365: 08-1995



Datenblatt

Version 3, 01/05

EPO-TEK H20E- frozen

Elektrisch leitender, silbergefüllter 1- Komponenten- Epoxid- Klebstoff

Typische Eigenschaften

Anzahl der Komponenten: 1
 Lagerfähigkeit bei -40°C 1 Jahr
 EPO-TEK H20E- frozen ist die vorgemischte, entgaste und tiefgefrorene Version von EPO-TEK H20E.
 Vor der Verwendung auf Raumtemperatur erwärmen und Kondenswasserbildung vermeiden!

EPO-TEK H20E-frozen wird angeboten als einkomponentiges System, das tiefgefroren bei -40°C in einfach zu bedienenden Spritzen abgefüllt ist. Diese bieten sich für den Kleberauftrag mittels Dispenser oder Siebdruck an.

EPO-TEK H20E ist ein silbergefüllter, Einkomponenten-Klebstoff mit thixotropen Eigenschaften und pastöser Konsistenz.

Härtung (alternativ)

| | | |
|--------|----|---------|
| 50 °C | 12 | Stunden |
| 80 °C | 90 | min. |
| 100 °C | 45 | min. |
| 120 °C | 15 | min. |
| 150 °C | 5 | min. |
| 175 °C | 45 | sec. |

Lange Topfzeiten bei Raumtemperatur, kurze Härtezyklen und hohe elektrische Leitfähigkeit zeichnen EPO-TEK H20E aus. Dieser Klebstoff ist ein seit vielen Jahren in der Mikro- und Optoelektronik in Großserien eingesetztes System.

Optische Eigenschaften

Farbe: silber

Der Klebstoff eignet sich hervorragend für vollautomatische Chip- Montage-Systeme die kurze Härtezyklen fordern. Der Entgasungsprozeß beim Abfüllen verhindert eine Luftblasenbildung während der vollautomatischen Fertigung von elektronischen Bauteilen.

Thermische Eigenschaften

| | | |
|-------------------------------|----------------------|------------------------------------|
| Max. Dauerbetriebstemperatur | 125 | °C |
| Kurzzeit. max. Temp.belastung | 300-400 | °C |
| Zersetzungstemperatur | 425 | °C |
| Glastemperatur (TG) | 80 | °C |
| Wärmeleitfähigkeit | 1,64 | W·m ⁻¹ ·K ⁻¹ |
| Thermische Ausdehnung | | |
| Unterrh. TG | 31*10 ⁻⁶ | K ⁻¹ |
| Oberh. TG | 120*10 ⁻⁶ | K ⁻¹ |

Der Klebstoff kann beim Drahtbonds bei einer Betriebstemperatur von 300-400 °C verwendet werden.

EPO-TEK H20E- frozen ist eine sehr weiche, thixotrope, lösemittelfreie Paste.

Mechanische Eigenschaften

| | | |
|-------------------------------|---------------------|-------------------|
| Dichte | 2,6 | g/cm ³ |
| Scherfestigkeit | 1050 | N/cm ² |
| DIE-Scherfestigkeit | >2240 | N/cm ² |
| E-Modul | 5,3*10 ⁵ | N/cm ² |
| Shore-Härte | D79 | |
| Wasseraufnahme [30min/100 °C] | 2,9 | % |

EPO-TEK H20E- frozen gibt es in folgenden Kartuschengrößen (konfektioniert):

- 3, 5, 10, 30 ml Kartuschen/ Dosen

Der Versand erfolgt in Isolierboxen mit Trockeneis.

Elektrische Eigenschaften

| | | |
|--|----------------------|------|
| Spez. el. Volumenwiderstand | 1-4*10 ⁻⁴ | Ω cm |
| Ionengehalt [Cl ⁻ , Na ⁺] | 120/20 | ppm |

Weitere Informationen finden Sie :

- im Sicherheitsdatenblatt von H20E- frozen
- in den Verarbeitungshinweisen
- im Übersichtskatalog

Fließ-/Verarbeitungseigenschaften

| | |
|--------------------------------|--------------------------------------|
| Konsistenz: | thixotrop; sehr weiche pastöse Masse |
| Viskosität (@ 500 U/min/23°C): | 2200-3200 mPa*s |
| Füllstoff: | Ag |
| Topfzeit: | 2-4 Tage |

Ausgasungsraten

| | | |
|---|------|---|
| vorgemischt (1:1), gehärtet 150 °C/1 Stunde | | |
| Gesamtgewichtsverlust | 0,56 | % |
| Flüchtige, kondensierbare | 0,01 | % |
| Bestandteile gemäß NASA Test GSFC 9101 (Referenznr.) | | |

Polytec PT GmbH Polymere Technologien

Polytec-Platz 1-7 - 76337 Waldbronn

Tel. : +49 (0) 7243 604-400 - Fax : +49 (0) 7243 604-420

E-Mail : info@polytec-pt.de

EINFÜHRUNG UND HINWEISE

Kurze Einführung und Hinweise für eine erfolgreiche Dosierung

Die Menge des zu dosierenden Gutes respektive die Größe des Dosierpunktes ist von folgenden Kriterien abhängig:

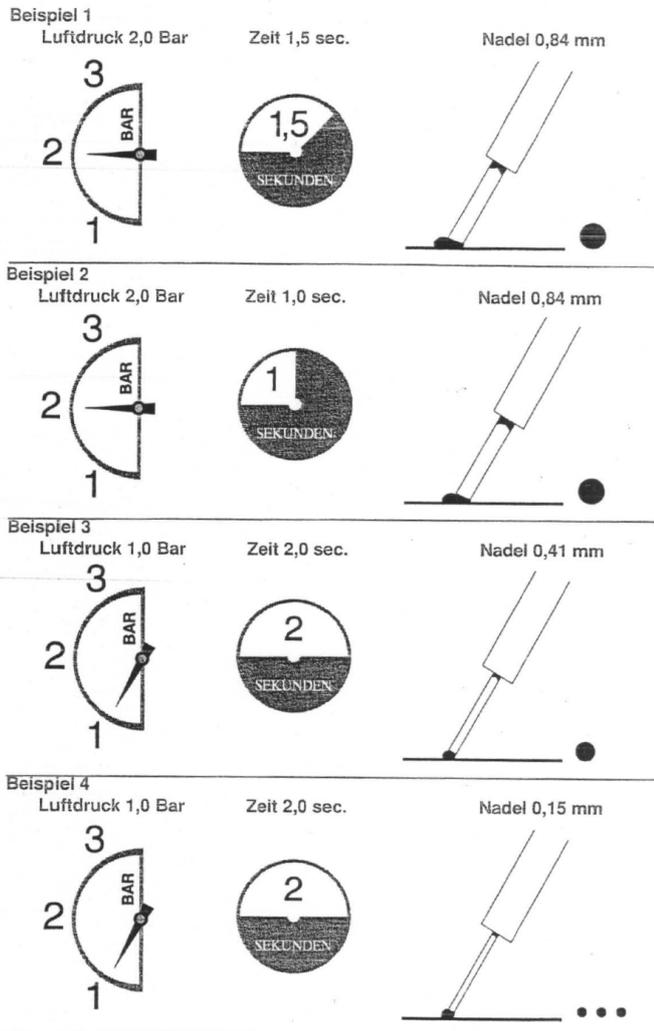
Viskosität des Dosiergutes, Luftdruck auf die Kartusche, Dosierzeit und Nadeldurchmesser. In den allermeisten Fällen ist das Dosiergut festgelegt und kann nicht geändert werden.

Veränderbare Größen sind also der Luftdruck, die Zeitdauer und der Nadeldurchmesser. Diese drei Größen stehen in Abhängigkeit zueinander und beeinflussen sowohl die Größe des Dosierpunktes als auch die Qualität der Dosierung.

Bei gleicher Nadeldröße kann bei hohem Druck und kurzer Dosierzeit die gleiche Punktgröße erreicht werden wie bei niedrigem Druck und längerer Dosierzeit.

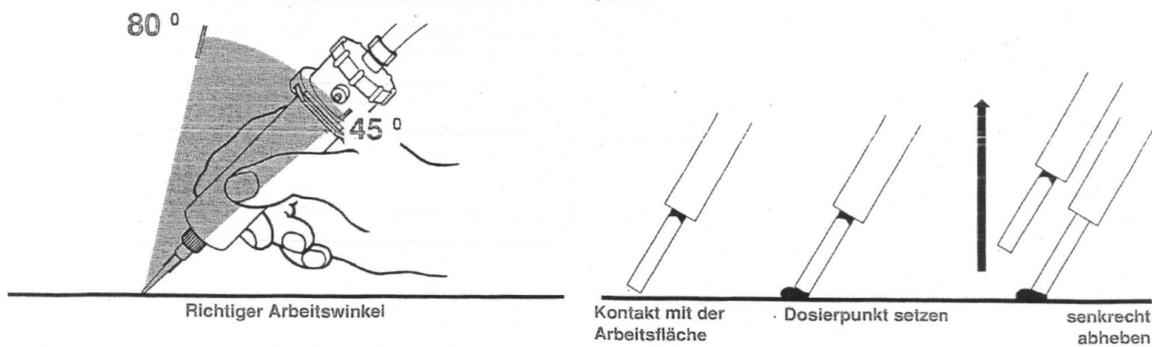
Grundsätzlich kann gesagt werden, je länger die Dosierzeit und je niedriger der Druck umso genauer und gleichmäßiger werden die Materialpunkte.

Man wird also z.B. bei sehr kleinen Lötpastepunkten die Dosierzeit etwas länger wählen und mit dem Druck zurückgehen und bei Vergußmassen z.B. umgekehrt verfahren.



Die Kartusche soll mit der Hand ungefähr in einem Winkel von 45 - 80° gehalten werden. Der Dosiervorgang soll wie folgt ablaufen.

Die Kartusche wird mit der Nadel leicht auf die Dosierebene aufgesetzt. Dann wird der Dosierimpuls ausgelöst. Nach Beendigung des Vorganges wird die Kartusche senkrecht abgehoben.



7.3 Übersicht Praktikumssubstrat

Abfolge Montage des Praktikumssubstrats

Aufbau zweier Ball Grid Array Bauelemente mit Flip-Chip und Drahtbond für 1st Level Verbindung

Achtung! Reihenfolge für Praktikum geändert - entspricht nicht dem Produktionsprozess von Bauelementen in Abbildung 2 - 5. 5

1. - 2. Bestücken beider BGA160-Interposer (Pitch 1 mm - vorher mit Flussmittel versehen)
3. Bestücken des FC148 (vorher mit Flussmittel versehen) auf BGA160-Interposer
4. Löten auf Fineplacer

Chipflächenkontaktierung der Chip on Board Aufbauten (COB – IC1-3) und des BGA160 (IC4-5)

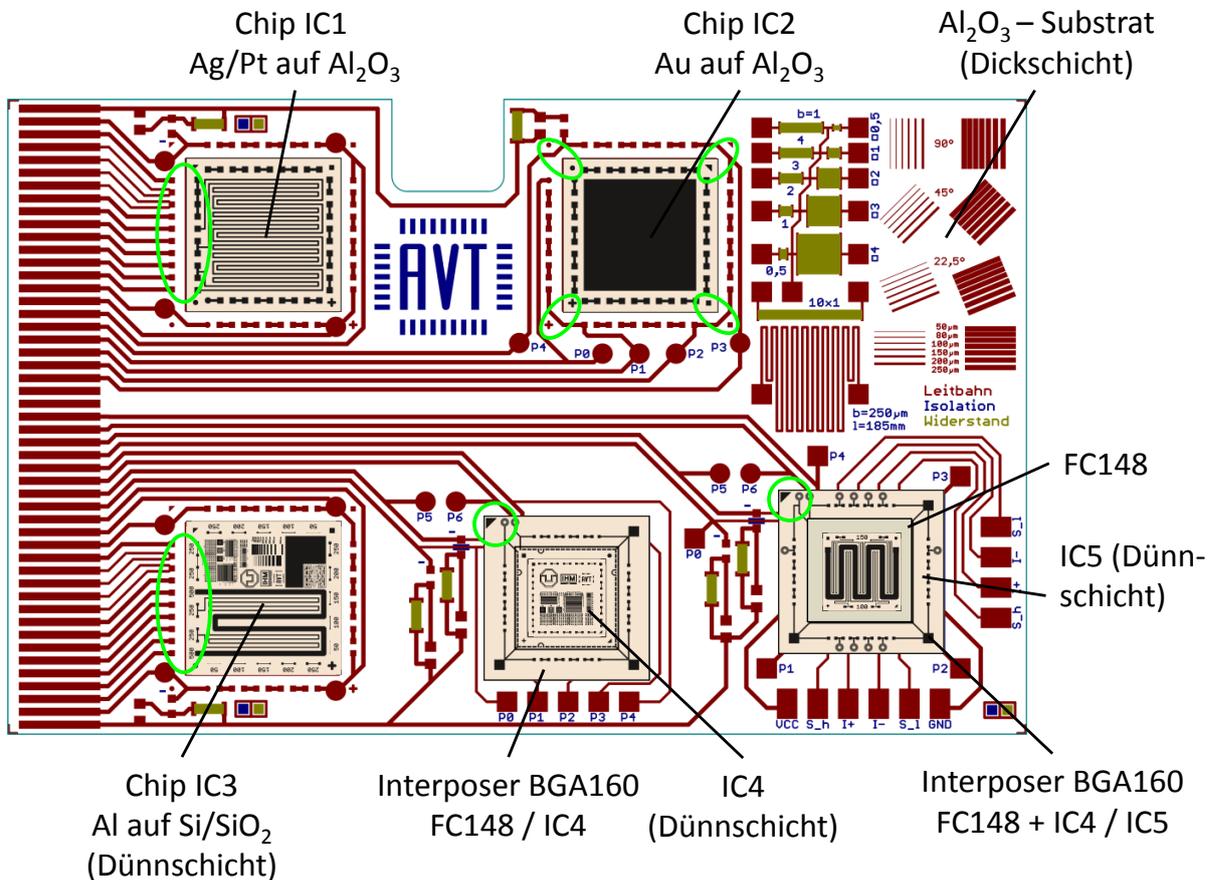
- 5.1 Handdispensen Klebervolumen für Chipbonden (15x15)mm auf markiertem Glassubstrat (Kleber: H70E Frozen)
- 5.2 Bestücken Glassubstrat und Auswertung des Handdispensens
- 5.3 Handdispensen der Chipklebeflächen auf dem Al_2O_3 Substrat (3xCOB) und auf dem BGA160-Interposer bzw. FC148 (Aufbau Bauelement)
6. Bestücken der Chips 1-5 mit Fineplacer (Ausrichtung beachten)
7. Pintransfer des leitfähigen Klebers auf die Kontaktpads der LEDs (Kleber: H20E Frozen)
8. Bestücken der LEDs mit Fineplacer (Bauform: 0603 – Polung beachten!)
9. Aushärten des Klebstoffs 15 min bei 120 °C

Chipanschlusskontaktierung der Chip on Board Aufbauten (COB – IC1-3) und des BGA160 (IC4-5)

10. Chipanschlusskontaktierung der COB Aufbauten (IC1-3) und der Bauelemente (IC4-5)
11. ggf. Test der Dioden und COB/BGA/FC Daisy-Chains
12. Abdecken der Bondbrücken mit transparentem GlobTop (UV aushärtend)

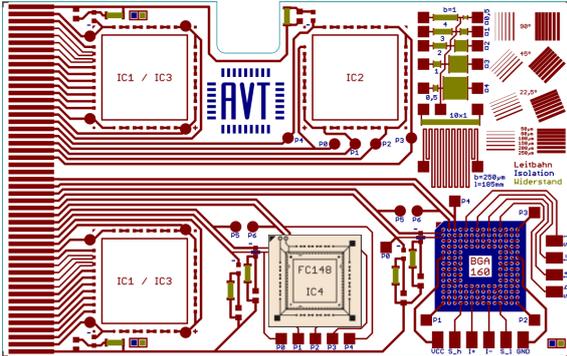
Chipbonden
Drahtbonden

Bestückplan Praktikumssubstrat mit Bestückmarkierungen

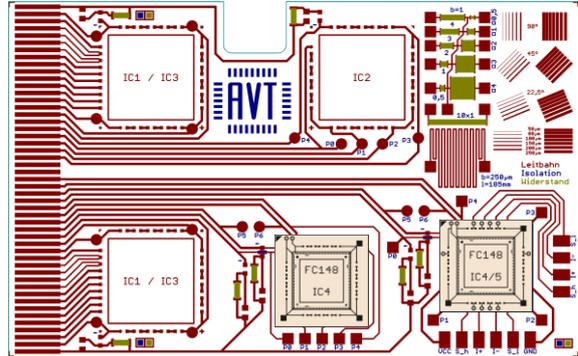


Ablaufplan: Aufbau Praktikumssubstrat (Teil 1)

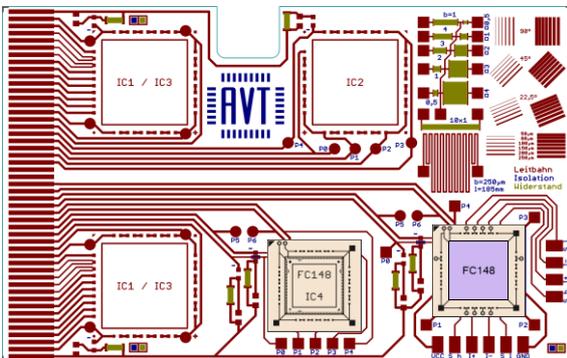
1. Bestücken Interposer 1



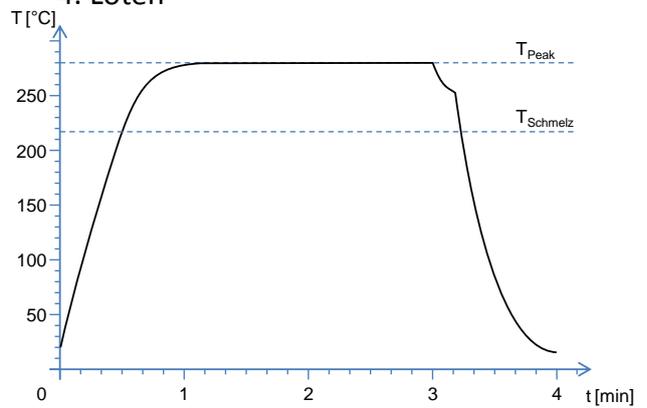
2. Bestücken Interposer 2



3. Bestücken FC148

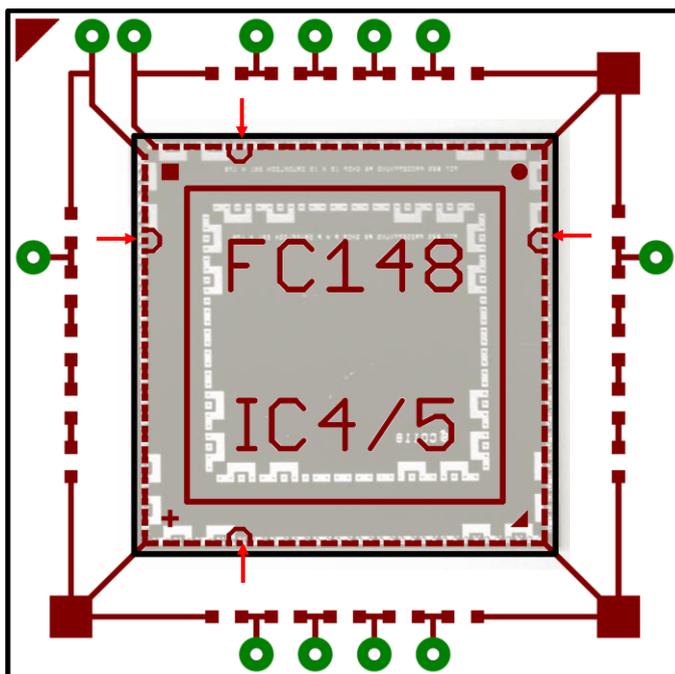


4. Löten

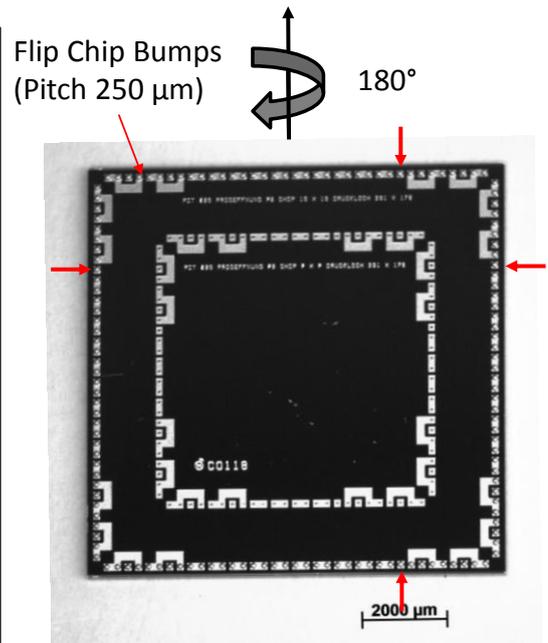


Zu Schritt 3: Bestücken FC148 auf BGA160 Interposer

Ausrichtung beim Bestücken (Splitfield – Fineplacer)

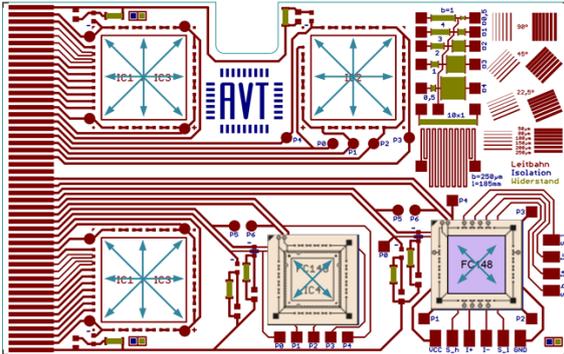


Blick auf Unterseite des FC148

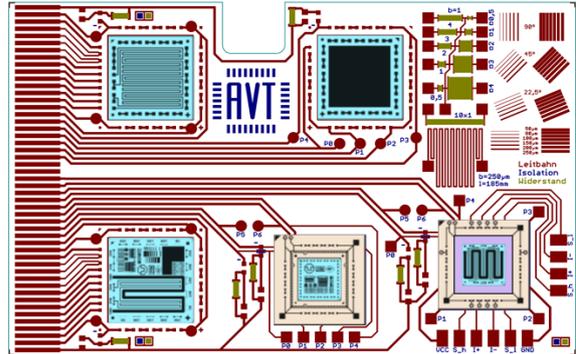


Ablaufplan: Aufbau Praktikumssubstrat (Teil 2)

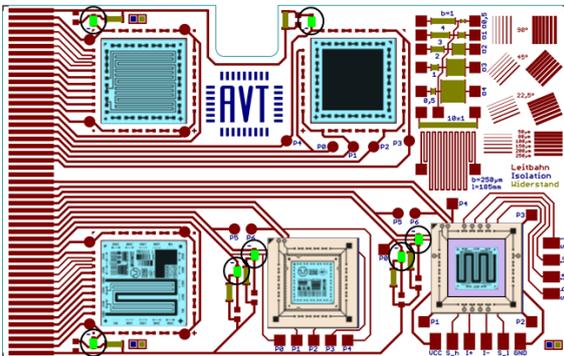
5. Dispensen Kleber (Handdispenser)



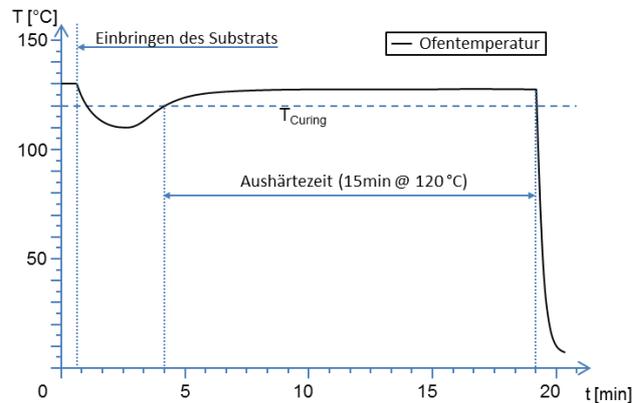
6. Bestücken der ICs (Fineplacer)



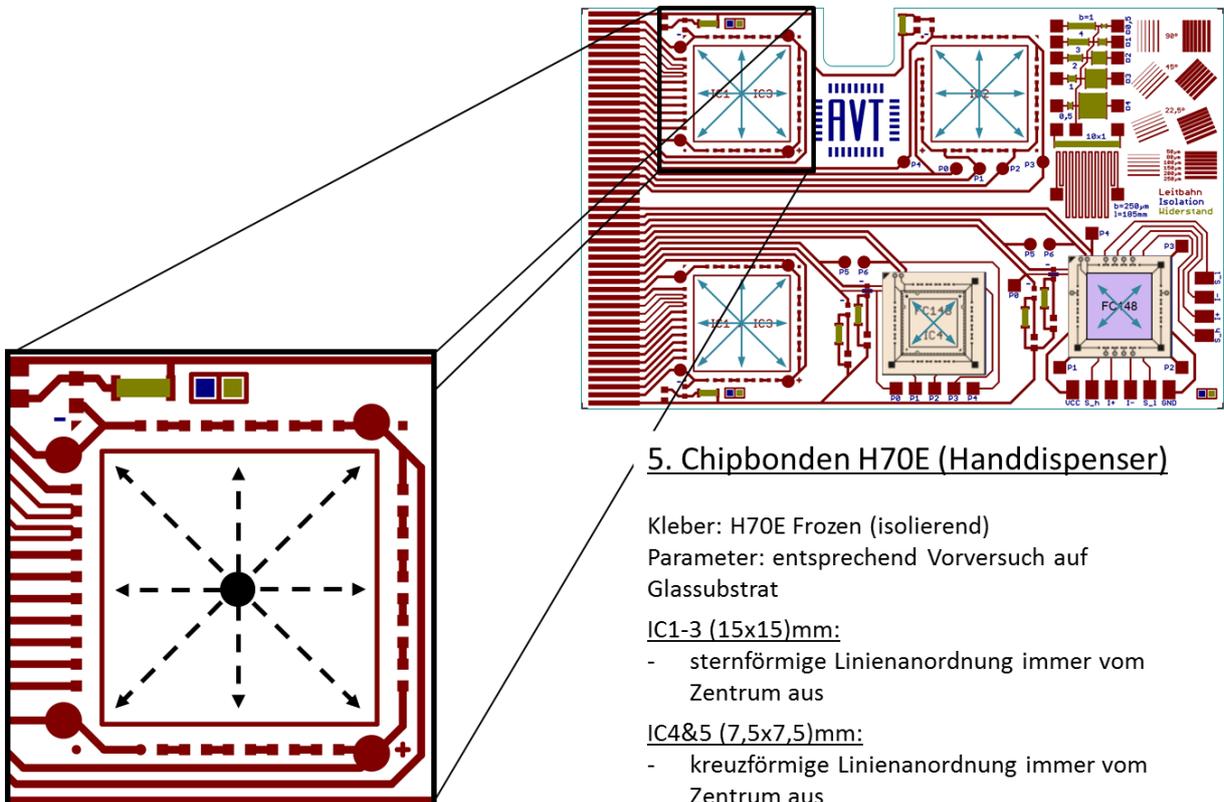
7-8. Pintransfer Leitkleber – LEDs bestücken



9. Kleber aushärten



Zu Schritt 5: Kleberauftrag für Chipbonden IC1 bis IC4 (Handdispenser)



Zu Schritt 7 und 8: Kleberauftrag und Bestücken für LED

Dispenspunkt

LED

CR*

Markierung

Dickschicht R

0.8 (0.031) ± 0.1 (0.004)

0.125 (0.005) $\begin{matrix} +0.05 (0.002) \\ -0.03 (0.001) \end{matrix}$

1.7 (0.067) ± 0.1 (0.004)

7° max

5

1.3 (0.051) ± 0.1 (0.004)

Cathode marking

Cathode marking

0.7 (0.028) ± 0.05 (0.002)

0.65 (0.026) $\begin{matrix} +0.02 (0.001) \\ -0.05 (0.002) \end{matrix}$

GPLY7057

A

C

7. Leitkleben H20E (Pintransfer)

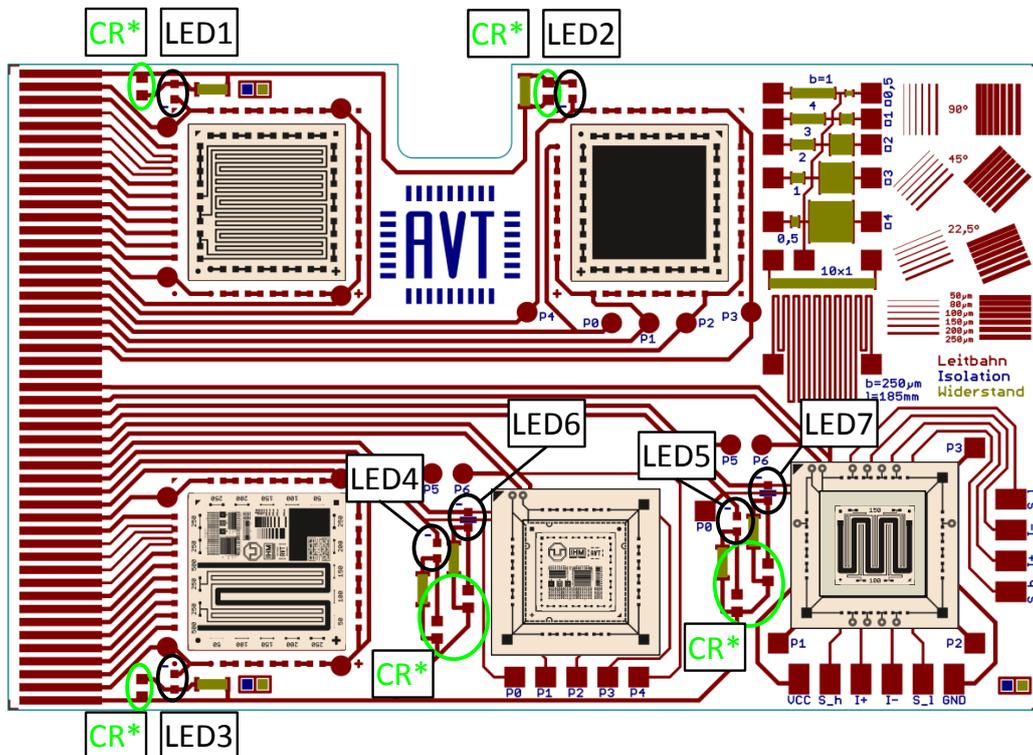
Kleber: H20E Frozen (leitfähig, Ag-gefüllt)
 Parameter: entsprechend vorherigem Test
 - Kleber für LED mittig auf Pad aufbringen

8. Bestücken LED 0603 (Fineplacer)

- Ausrichtung anhand der Markierungen beachten

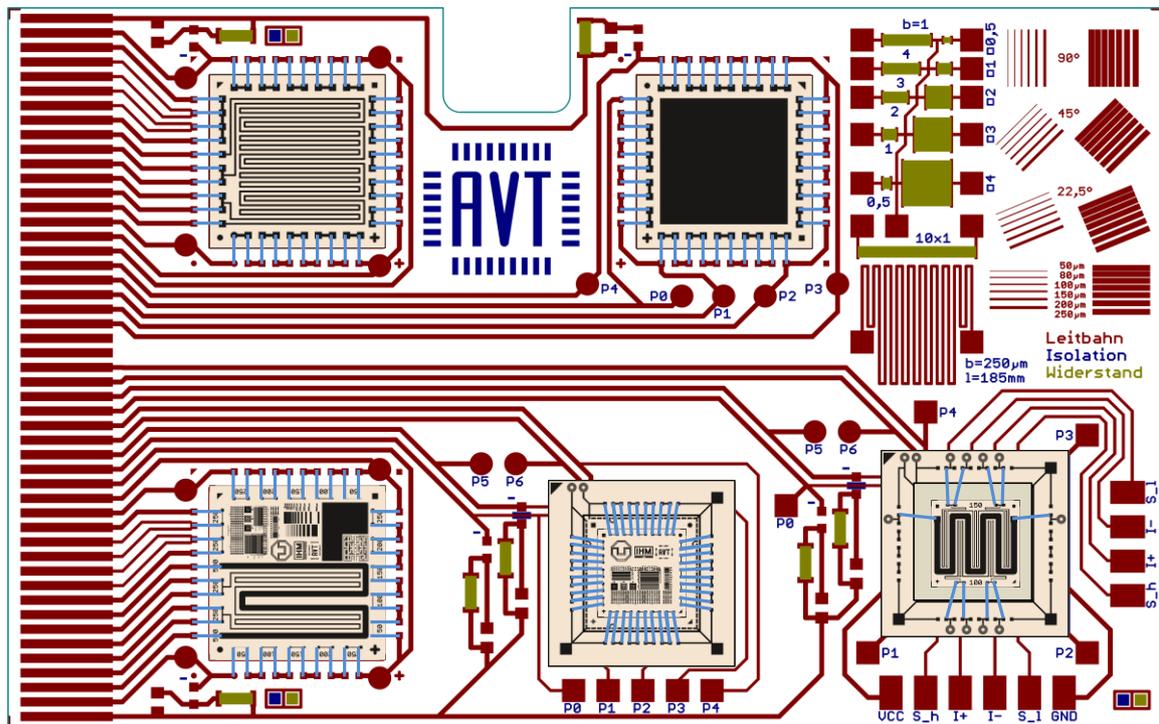
(* CR nur dispensen und bestücken, wenn parallel geschaltetes Dickschicht R nicht vorhanden)

Bestückplan der LEDs und Widerstände (Bauform 0603)

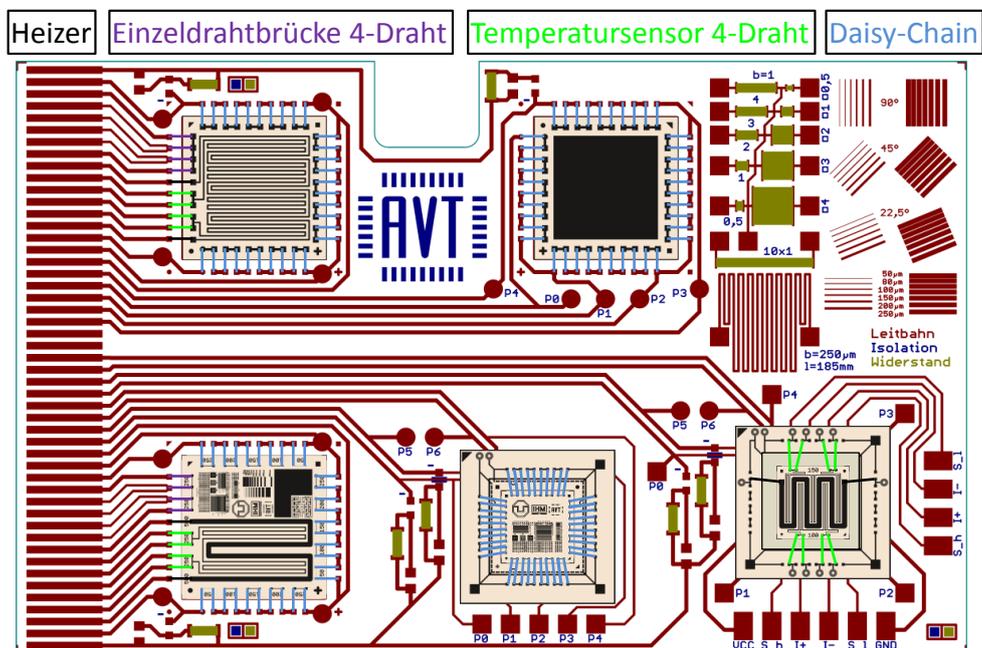


* CR nur dispensen und bestücken, wenn parallel geschaltetes Dickschicht R nicht vorhanden ist.

Zu Schritt 10: Bondplan für den Versuch Drahtbonden



Zu Schritt 11: Messung Chipaufbauten



P0 bis P4: Einzelsegmente des BGA160 (Daisy-Chain)

P5 bis P6: FC148 bzw. IC4 (vollständige Daisy-Chain) Einzelsegmente auf Interposer messbar

Die jeweilige LED leuchtet, wenn die vollständig kontaktierte Daisy-Chain mit 5V betrieben wird.

Heizer einfach bestromen (simuliert Verlustleistung) und mittels Temperaturmeander die Erwärmung bestimmen (linearer Temperaturkoeffizient: $\alpha_{Al}=4,0 \cdot 10^{-3} \text{ K}^{-1}$ $\alpha_{Ag}=3,8 \cdot 10^{-3} \text{ K}^{-1}$ – R für eine bekannte Temperatur ermitteln)