

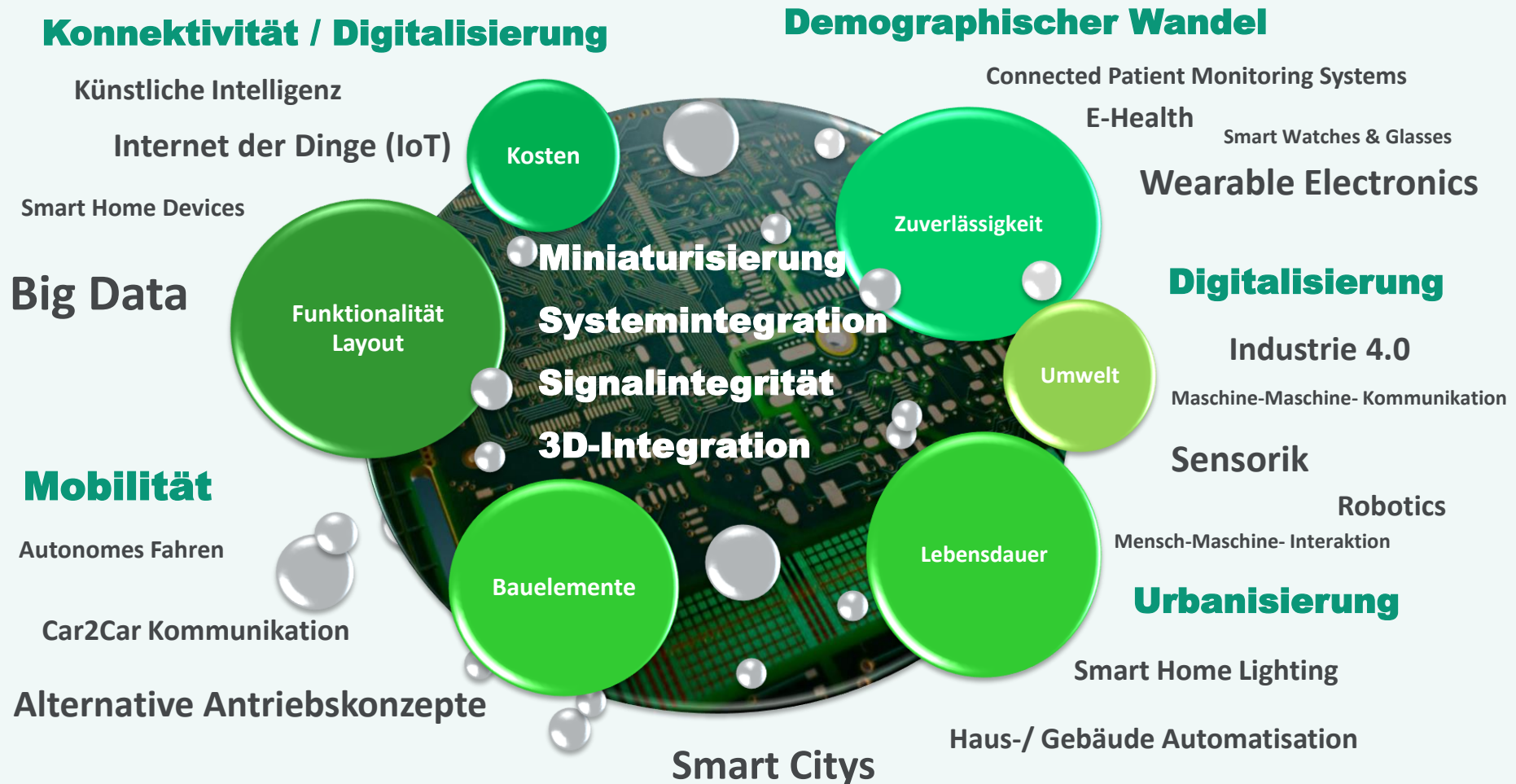


# Integration von Funktionalitäten in die Leiterplatte

Referent: Dipl.-Ing. (FH) Ralph Fiehler

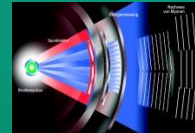
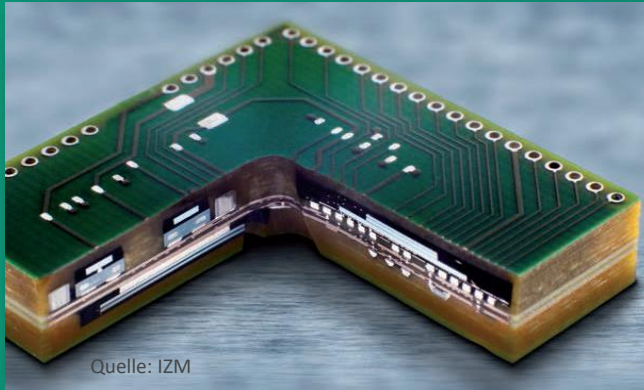
# Einführung

## Katalysatoren der Leiterplatten-Technologieentwicklung



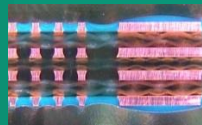
# Integrationsfelder - Status quo 2019

## Integrationsfelder



**Elektro-optische Elemente  
(Emitter, Detektoren)**

**KSG**



**Thermische Elemente  
(Wärmespreizer)**

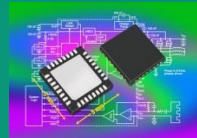
**KSG**



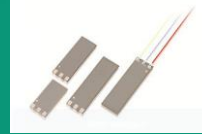
**Sensorik  
(Temperatur, Druck, ...)**

**KSG**

**KSG**



**Aktive elektrische BE (ICs)**



**Elektromechan. Elemente  
(Piezo Aktoren)**

**KSG**



**Fluidische Komponenten  
(Pumpen, Energieumw.)**

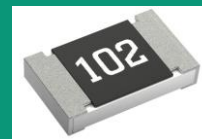


**Elektro.-chem. Elemente  
(Batterien)**

**KSG**



**Optische Elemente  
(Lichtwellenleiter,  
Koppelemente)**



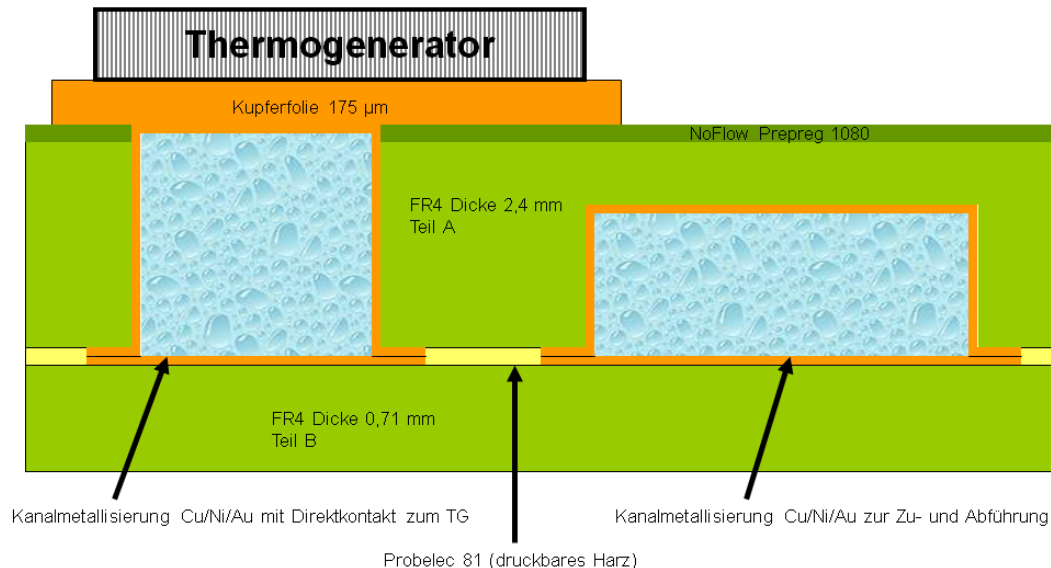
**Passive elektr. BE  
(R-, L-, Cs)**

**KSG**

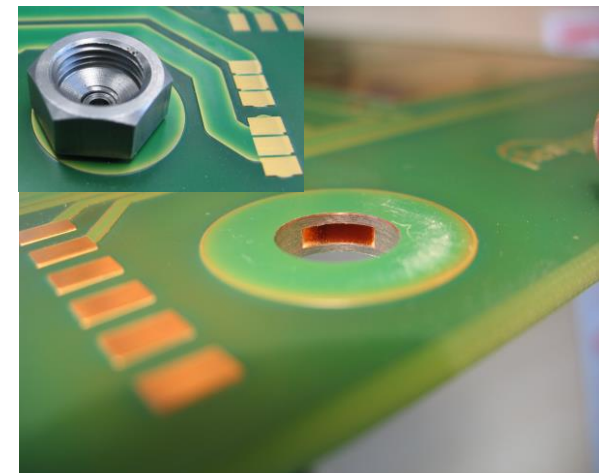
# Alternative Anwendungsfelder

## Thermisches Management – Energiegewinnung (Wärme-Strom)

Thermischer Transmitter zur Gewinnung von Elektroenergie aus Verlustwärme unter Nutzung des Seebeck-Effektes.  
Trägerplatine mit integrierten metallisierten Kanälen zur Medienführung (erwärmtes Wasser) zum Thermogenerator.



Gefräste und metallisierte IL vor dem Verpressen

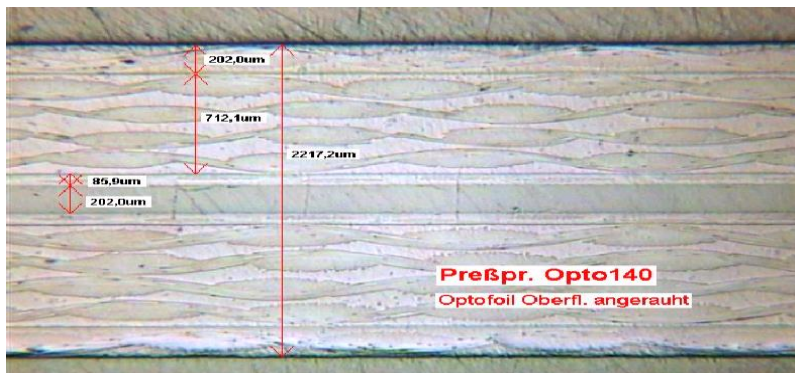
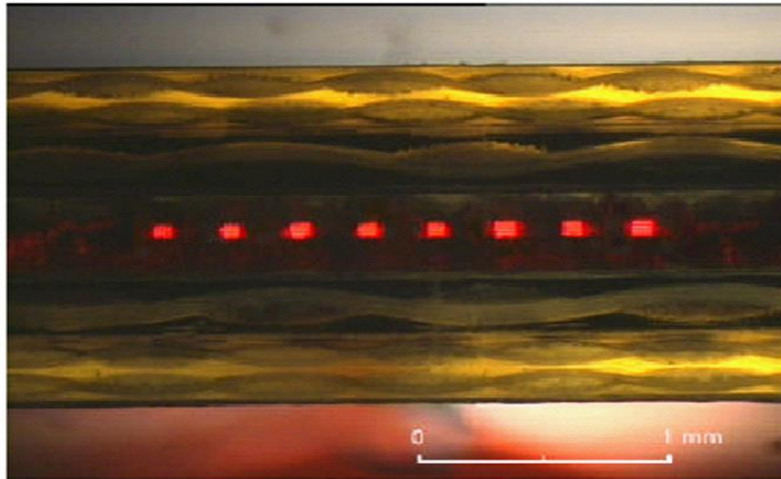


Medienanschluss in der Leiterplatte

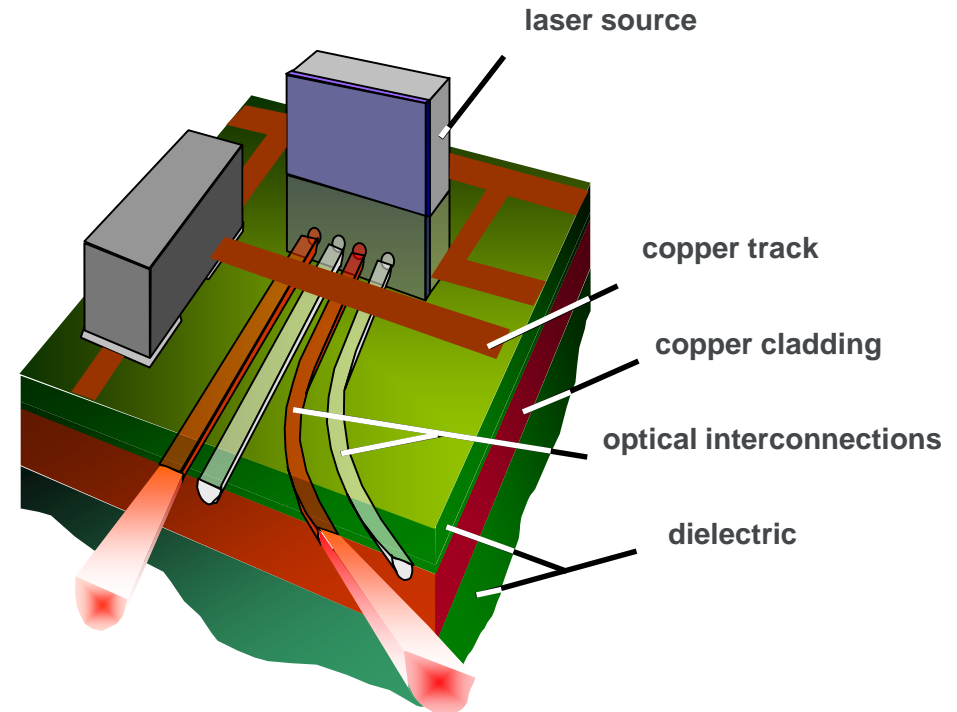


# Alternative Anwendungsfelder

## Übertragungsfunktionen – Opto-elektronische Leiterplatte (EOCB)



Verpresste optische ML-Lage



Integration von optischen Wellenleitern und elektrisch-optischen Koppellementen zur Übertragung von hohen Datentraten. Beispiel: Integration einer heißgeprägten Optofoil in einen Multilayer.

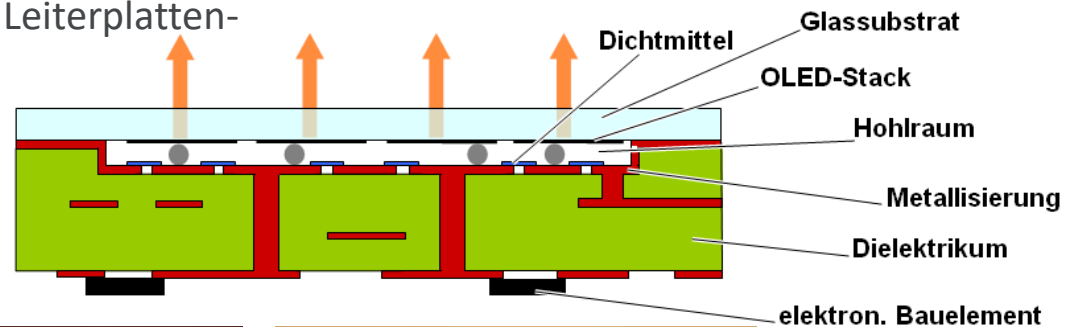
# Alternative Anwendungsfelder

## Anzeige-/ Beleuchtungsfunktionen Projekte „OLED-Board“ / „Leuchtkraft“

Integration von Anzeigeelementen für Hintergrundbeleuchtungen und Piktogramme auf die Leiterplattenoberfläche mittels Siebdrucktechnologie.

### Basis-Technologien

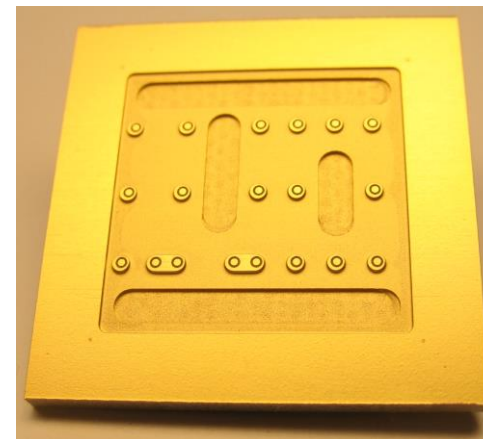
- (Dickschicht-) Elektrolumineszenz
- OLED –Systemintegration



LP-Muster mit leuchtenden alphanumm. Zeichen und Symbolen [EL-Druck;., Freudenberg GmbH]



Ansicht einer Beleuchtungskachel (Kantenlänge: 85mm)

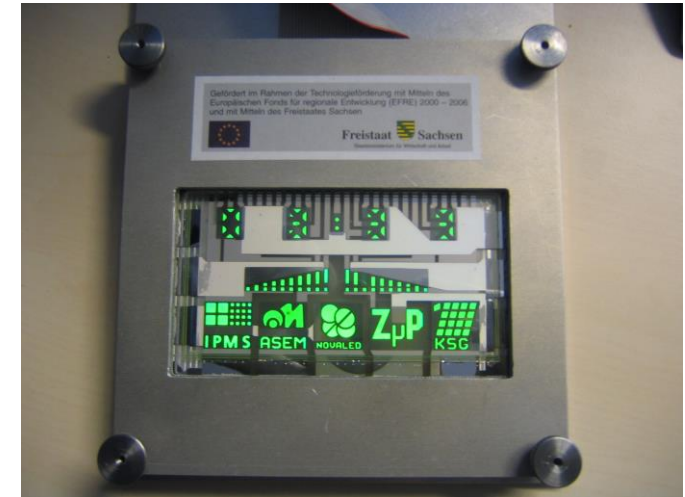
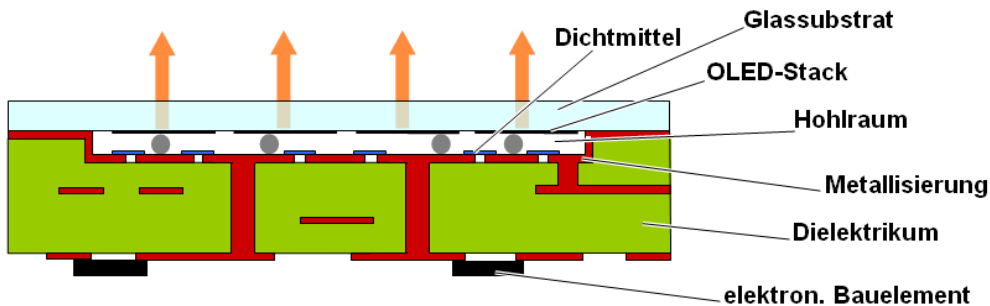


Leiterplattenmuster zur OLED-Aufnahme (Kantenlänge: 25mm)

# Alternative Anwendungsfelder

## Anzeige-/ Beleuchtungsfunktionen Projekt „OLED-Board“ / „Leuchtkraft“

### OLED-Board

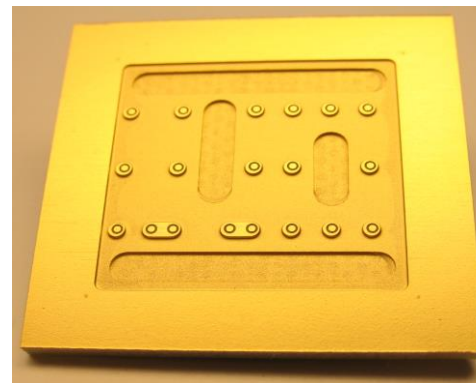


Demonstrator OLED-Projekt

Direktkontaktierung der OLED-basierenden Anzeigefunktion auf den Schaltungsträger.

Herausforderungen:

- Gewährleistung einer geringen Permutationsrate
- geringe Rauigkeit der LP-Oberfläche
- Integration von Dünnglas



Leiterplattenmuster zur OLED-Aufnahme  
(Kantenlänge: 25mm)



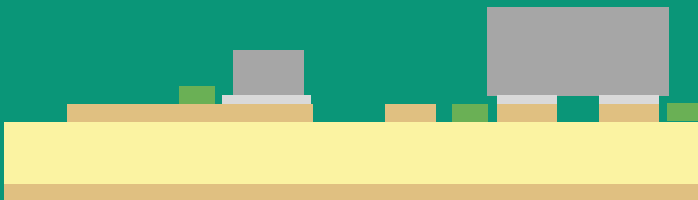
Ansicht einer Beleuchtungskachel  
(Kantenlänge: 85mm)

# Was versteht man unter Embedding-Technologien?

## Konventionelle SMD-Technologie

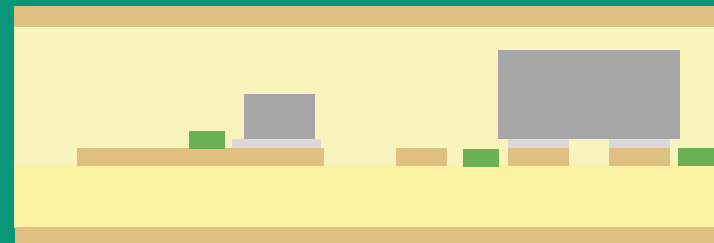
### SMD, Wirebond, Flip Chip

Alle Bauelemente werden auf den Außenlagen der Leiterplatte positioniert.



## Embedding-Technologie

Die Bauelemente werden auf einer Trägerlage im Inneren der Leiterplatte positioniert.

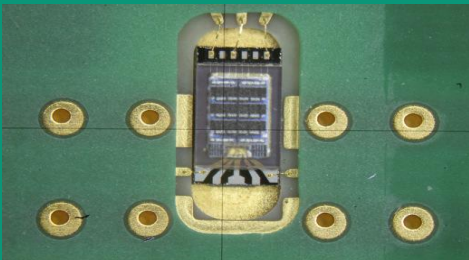
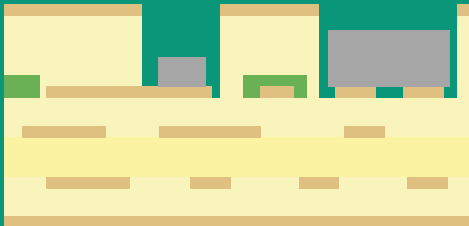




# Technologieübersicht

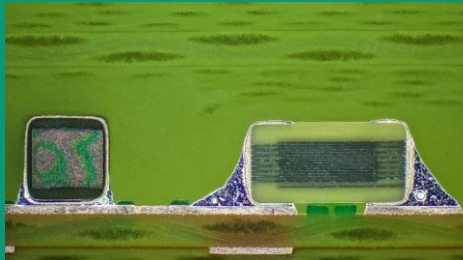
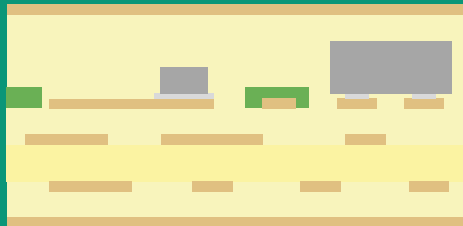
## Cavity

Kavernen durch Tiefenfräsen/ Laser,  
Kontaktierung mittels AVT



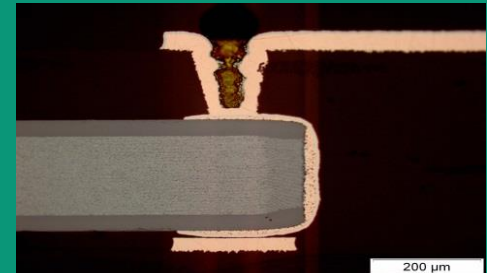
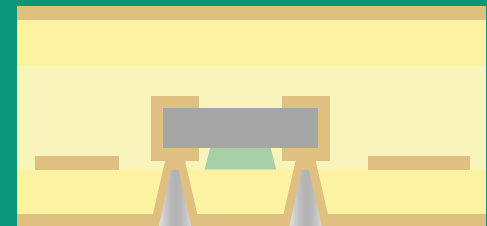
## Embedded Solder IC

Bauteilkontaktierung durch Lötén



## Direct Copper IC

Bauteilkontaktierung durch Laser-Vias



# Chancen & Herausforderungen

## Chancen

### Miniaturisierung

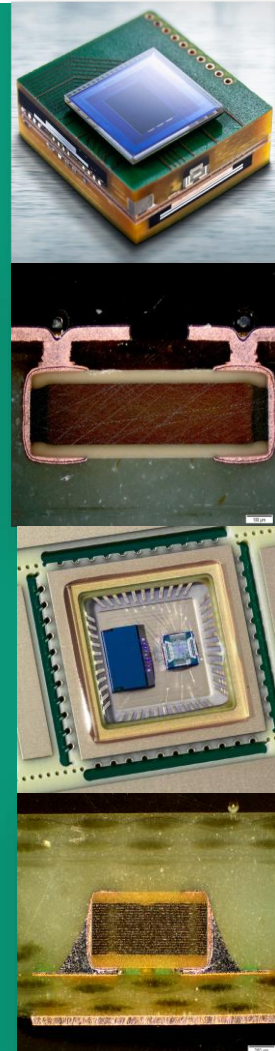
- Gehäuseersatz
- Flächengewinn
- Substitution diskreter kapazitiver Bauelemente durch integrierten Kondensator
- anwendungsspezifische Systemlösungen (System-in Package SiP)

### Funktionen

- Gehäusekonstruktionen
- anwendungsspezifische Systeme (System-in-Package SiP)
- integrierte Schirmung und kurze Signalwege
- erschwertes Reverse Engineering / Plagiatschutz
- Wärme- und Leistungsverteilung
- Ersatz für Board-to-Board Lösungen

### Zuverlässigkeit

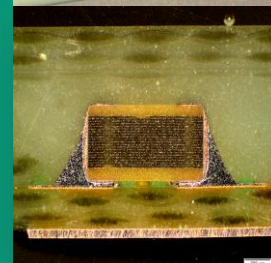
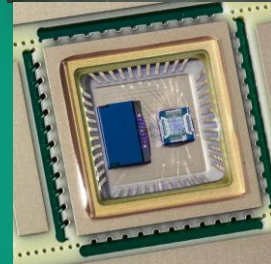
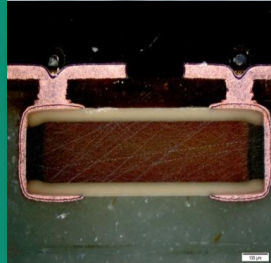
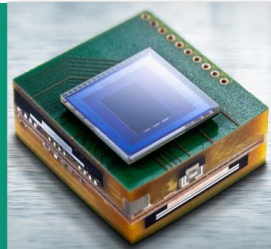
- Geringere parasitäre Effekte
- Schutz vor Umwelteinflüssen/ raue Umgebung
- EMV-Schutz
- Minimierung der Einflüsse durch Vibration, Stoß und Druck



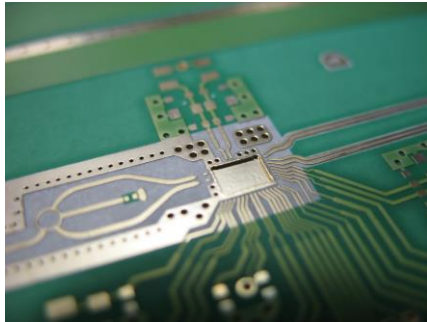
# Chancen & Herausforderungen

## Herausforderungen

- vom Leiterplattenfertiger zum Systemlieferanten einer Baugruppe
- asymmetrische Lagenaufbauten
- Geometrievielfalt Bauelemente
- Bestückung im Großformat 18 x 24"
- elektrischer Funktionstest (Komponententest)
- wirtschaftlicher First-Pass-Yield
- ESD-gerechte Prozessierung und Handling
- Erhöhung des technischen und logistischen Komplexitätsgrades



# Cavity-Technologie



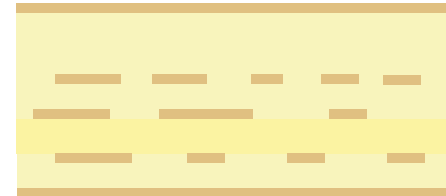
## Definition

- Einbettung von passiven/aktiven BE mittels Kavernen-Technologie
- Erzeugung von Kavitäten durch:
  - mechanisches Tiefenfräsen
  - Kombination mechanisches Tiefenfräsen und Laserabtrag

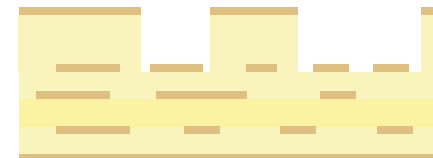
## Technologischer Ablauf

- 1** Leiterplattenfertigung (Standardtechnologie)
- 2** Erzeugung Kavernen (z.B. Fräsen)
- 3** Integration und Kontaktierung der Bauelemente mittels Standard-AVT (Drahtbonden, Leitkleben, ...)

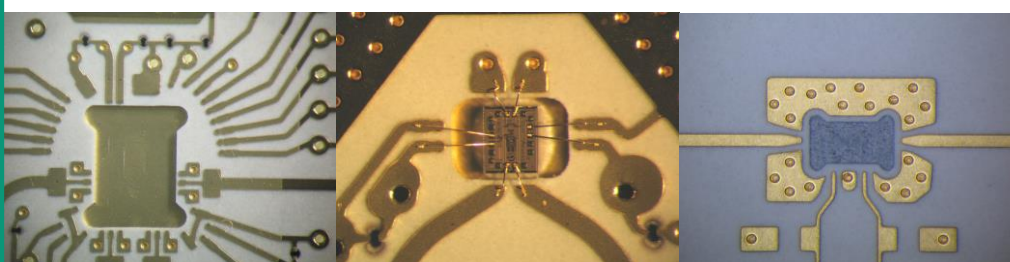
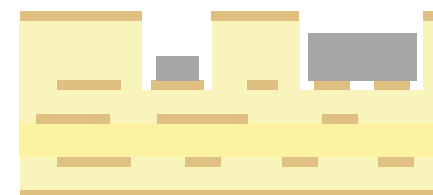
### Prozessschritt 1



### Prozessschritt 2



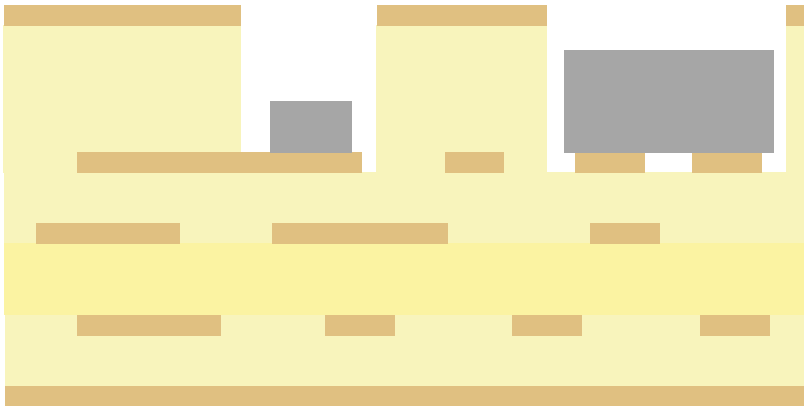
### Prozessschritt 3





# Cavity-Technologien

## Chancen & Herausforderungen



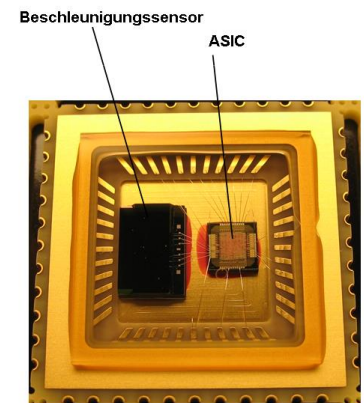
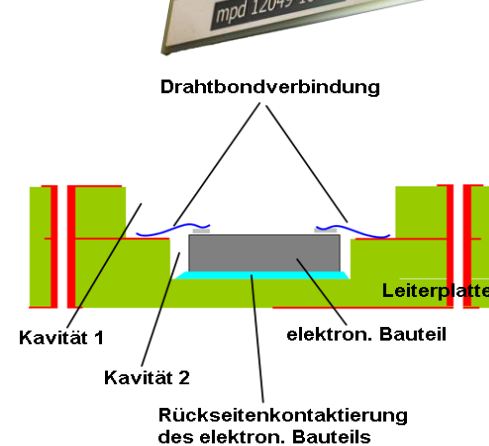
### Chancen

- Kostengünstige Technologieabfolge
- Einsatz von Standardprozessen
- hoher Freiheitsgrad bei der Auswahl des Basismaterials und der Layoutgestaltung

### Herausforderungen

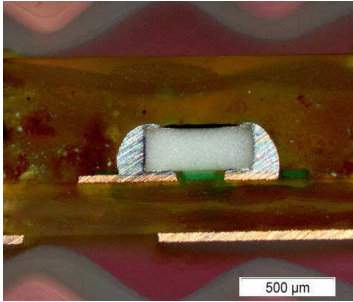
- eingegengte LP-Prozesstoleranzen
- hohe AVT-Prozessanforderungen durch mehrdimensionale Bestückung
- Flächenverlust Aussenlagen

Anwendungsbeispiel: Chip-in-Board-Applikation  
eingebetteter Inertialsensor + ASIC



Aufbauprinzip 3-Ebenen-Kavernensystem

# Embedded Solder IC-Technologie

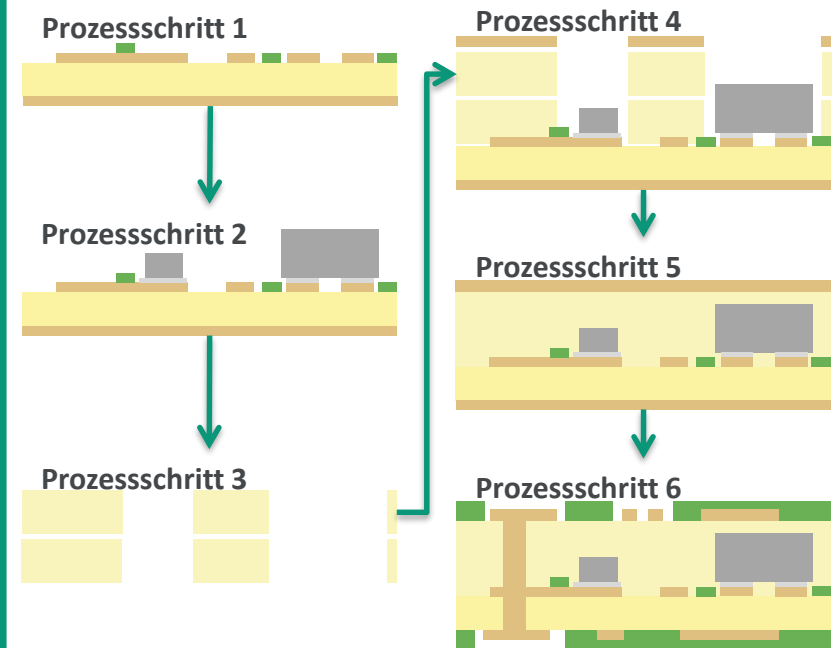


## Definition

- Kontaktierung des aktiven/passiven Bauelementes mittels Lötverfahren auf der Innenlage
- elektrische Verbindung über Layout des Multilayers

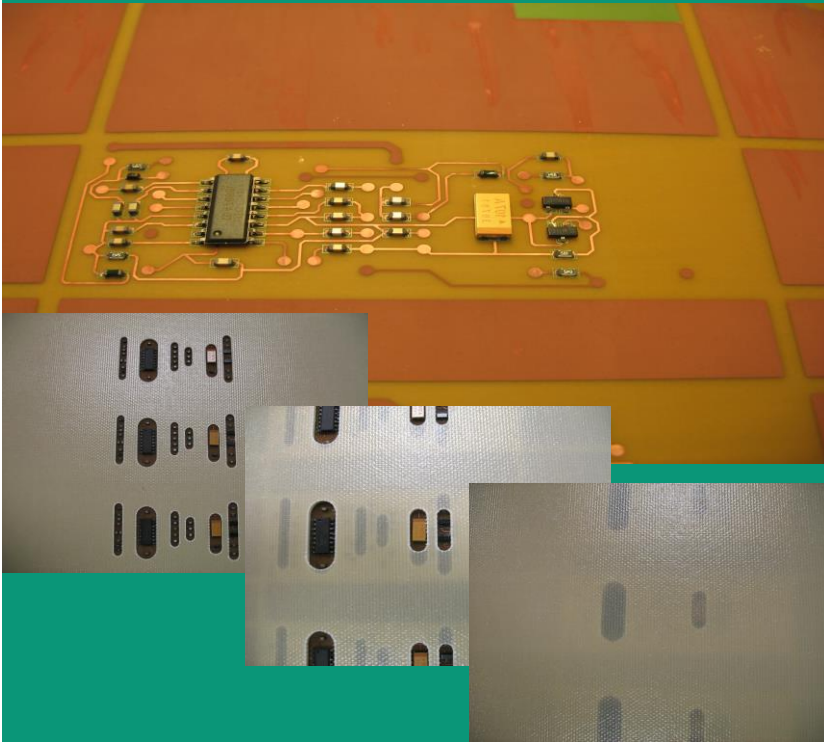
## Technologischer Ablauf

- 1 Fertigung der zu bestückenden Innenlage
- 2 Bestückung / Löten
- 3 Fertigung der benötigten Komponenten, Konfektionierung/Freistellen der Prepregs und Innenlagen
- 4 Schichten zu einem Multilayer
- 5 Pressen des vorgelegten Multilayers (Harzfluss der Prepregs ermöglicht ein Umschließen der Bauelemente mit Harz)
- 6 Weiterbearbeitung in den Standardprozessen der Leiterplatte



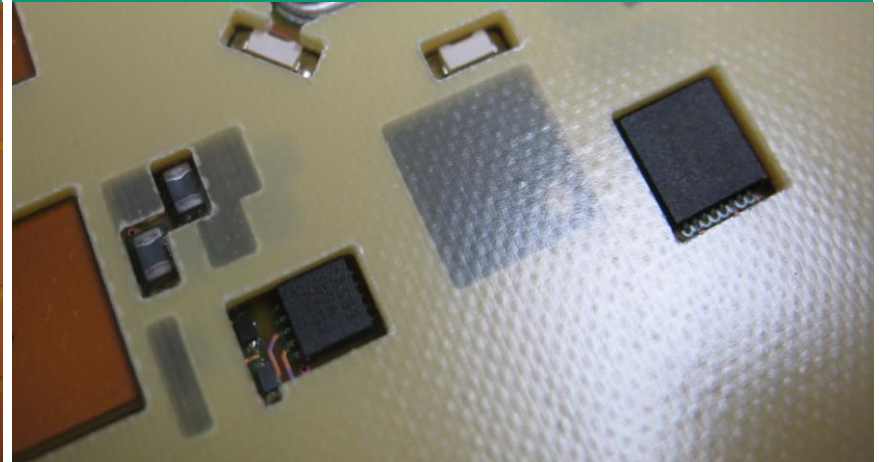
# Embedded Solder IC-Technologie

## Höhengruppierung



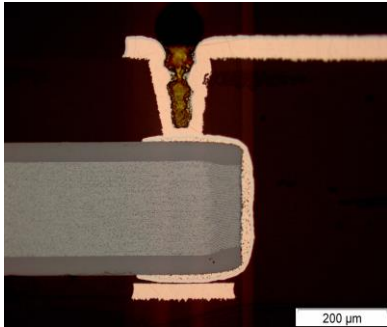
Zur Sicherstellung einer vollständigen Harzverfüllung und der Vermeidung von mechanischen Beschädigungen der Bauelemente während des Pressprozesses ist eine Höhengruppierung der Bauelemente für die Prepregs notwendig.

## Layoutgestaltung Prepreg



- Prepregs und Lamine werden durch Fräsen oder Laserbearbeitung an den Bauelementepositionen freigestellt
- Freistellung erfolgt je nach Höhenstufe der Bauelemente
- um direkten Kontakt zu vermeiden wird die Freistellung umlaufend größer ausgeführt

# Direct Copper IC-Technologie



## Definition

- Fixierung der Bauelemente mittels AVT-Standard-Technologien (Kleben, Sintern) auf dem Trägersubstrat (Cu-Folie, Innenlagen, ML-Kern)
- Realisierung der elektrischen Anbindung mittels Laservias direkt auf die Anschlüsse des Bauelementes

## Technologischer Ablauf

- 1** Fertigung der zu bestückenden Innenlage
- 2** Bestückung der Bauelemente, Fixierung z.B. mittels Klebtechnologie
- 3** Fertigung der benötigten Komponenten, Konfektionierung/Freistellen der Prepregs und Innenlagen
- 4** Schichten zu einem Multilayer
- 5** Pressen des vorgelegten Multilayers (Harzfluss der Prepregs ermöglicht ein Umschließen der Bauelemente mit Harz)
- 6** Kontaktierung der Bauelemente mittels Laservias und anschließender Galvanik

### Prozessschritt 1

### Prozessschritt 2

### Prozessschritt 3

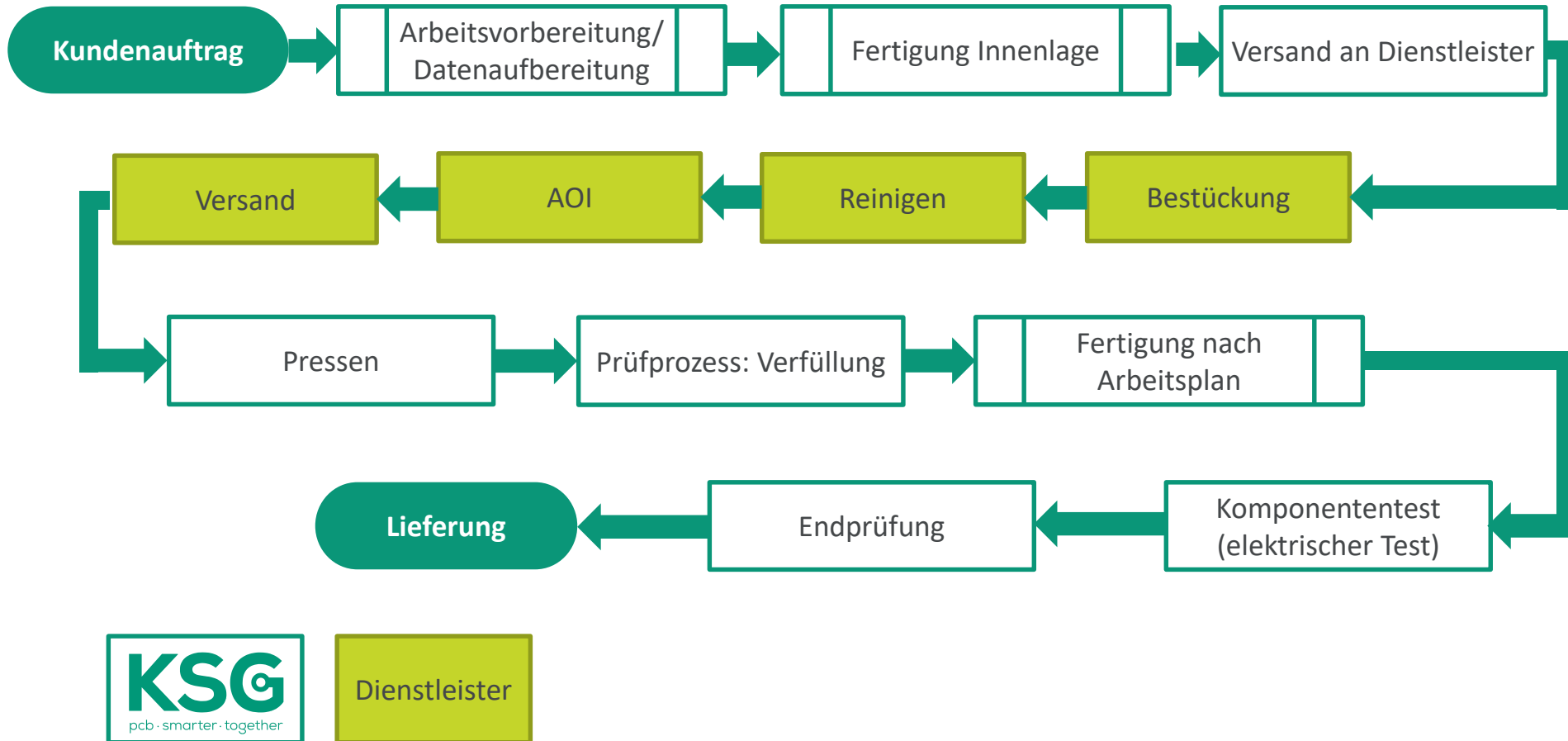
### Prozessschritt 4

### Prozessschritt 5

### Prozessschritt 6

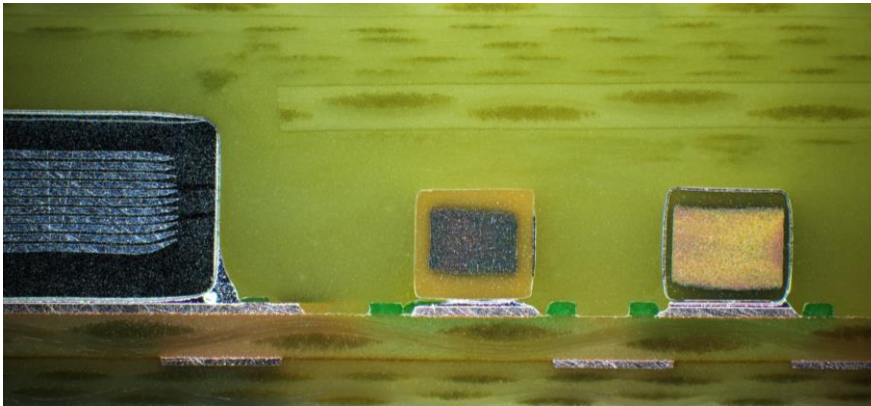


# Prozessefolge



# Technologievergleich

## Embedded Solder IC-Technologie



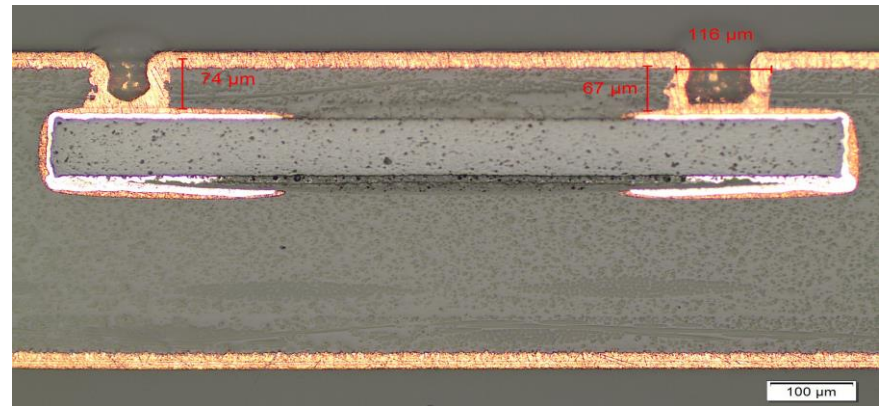
### Chancen

- hoher Freiheitsgrad in der Lagenaufbaugestaltung
- geringere Anforderungen an die Fertigungstoleranzen (Registriergenauigkeit)
- Verwendung von Standard SMD-Bauelementen

### Herausforderungen

- thermische Mehrfachbelastung
- Vermeidung von Kurzschlussbildung am Bauelement durch Mehrfachlötung

## Direct Copper IC-Technologie



### Chancen

- kein Löten der einzubettenden Bauelemente
- geringere thermische Bauteilbelastung
- hohe Zuverlässigkeit der Bauteilkontaktierung durch Direktanbindung des Bauelementes

### Herausforderungen

- Bauelemente mit Kupferterminals erforderlich
- hohe Registriergenauigkeiten im Bestückungs- und LP-Prozess (Lage BE zu Laservia) notwendig (BE 0201 Terminal: 0,15 x 0,30 mm<sup>2</sup>)

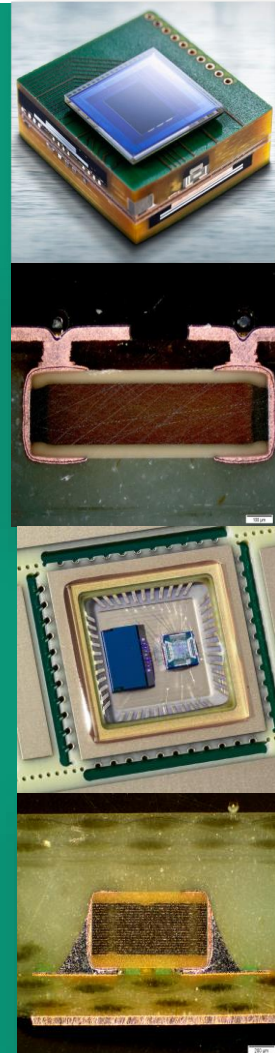
# Fertigungsrealisierung

## Ausgangssituation

- Leiterplattenhersteller liefert Leiterplatten inklusive Bestückung → Gewährleistung
- Bestückungsanforderungen müssen zwischen den Partnern eindeutig definiert sein
- es existiert noch keine langjährig erprobtes Standard-Geschäftsmodell zwischen Bestückungen und Leiterplattenfertigung
- generell wird der Einsatz von Standardprozessen der Leiterplattenherstellung angestrebt, keine Sondertechnologien

## Logistische Rahmenbedingungen

- verlängerte Lieferzeiten durch zusätzliche Prozessschritte in der LP-Fertigung (separate Fertigung der Träger-Innenlage) und Einbeziehung eines EMS-Kooperationspartners
- längerer Forecast wünschenswert (Minimierung der Wartezeit für die Beschaffung von Bauelementen – tlw. lange Lieferzeiten)



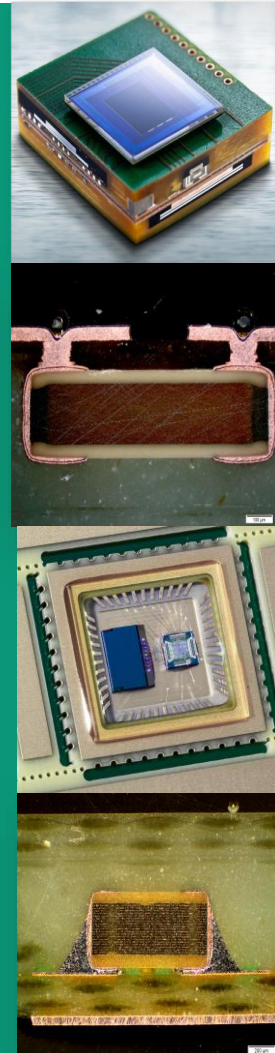
# Fertigungsrealisierung

## Angaben zur Bewertung der Embedded-Fähigkeit des Designs

- Bauelementart/-typ
- maximale Höhe der Bauelemente
- minimale Dicke der Bestückungslage
- Abstände der Bauelemente zueinander
- bestückte Fläche

## Notwendige Kundenunterlagen

- Layoutdatensatz
- Lagenaufbau, benötigte Isolationsdicken, angestrebte Enddicke der Leiterplatte
- Definition der Einsatzbedingungen
- Dimensionen der Bauelemente
- Bestückungsplan, wenn möglich Pick'n'Place-Daten
- Bill of Materials (Bauteilliste)
- Angaben zur Verpackungsart (Gurt/Tray/Hand) bei Beistellung von Bauelementen

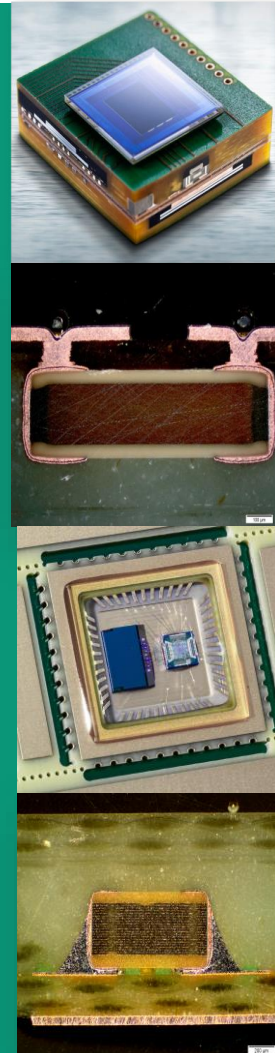




# Fertigungsrealisierung

## Funktionstest

- Prüf-/Testkonzept ist zwischen den Kunden und KSG abzustimmen.
- Elektrisches Prüfequipment für Leiterplatten auf Erfassung von Kurzschluss und Unterbrechung ausgelegt
- Messung von Widerstand, Induktivität und Kapazität möglich
- Verschaltungen, wie z.B. RC-Glieder müssen im Einzelfall bewertet werden
- Zur genaueren Bestimmung von Widerstand und Induktivität ist eine Messbrücke bis 200 kHz Messfrequenz vorhanden.
- Sonderlösung: Funktionsprüfung (In-Circuit-Test) der bestückten Schaltung nur durch Bereitstellung von Testequipment des Kunden oder über Dienstleister möglich



## Allgemein

- Einsatz von Standard-Basismaterial, Laminaten und Prepregs, auf FR4-Basis
- Das Harz der Prepregs muss während des Pressens einen niederviskosen Zustand erreichen.
- Teflonbasierte Basismaterialien und Lowflow-Prepregs sind zum Verfüllen ungeeignet.
- Basismaterialien mit hohem Füllstoffgehalt sind für eine optimale Harzverfüllung ungeeignet.
- Spätere Einsatzbedingungen sind bei der Materialauswahl zu beachten.
- Aufgrund der thermischen Belastung bereits während der Herstellung der bestückten Komponente (Löten) sollten höherwertigere Basismaterialien gewählt werden.

Material	T <sub>G</sub> [°C] DSC	T <sub>d</sub> [°C]	α [ppm/K]	η [Pa s]
IS400	150	330	50 / 250	55
<b>185HR</b>	180	340	40 / 220	85
NP-175F	170	350	60 / 230	

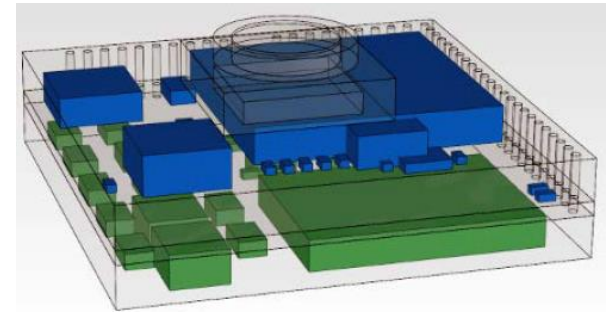
- Datenblattwerte dienen lediglich als Hinweis auf eine Eignung für Embedded
- Für jedes Layout muss eine Materialeignung (Schwerpunkt Harzverfüllung unterhalb der Bauelemente) mittels Probepressung nachgewiesen werden.



# Anwendungsfelder

## Modular Camera Module (MoMiCa) – Fraunhofer Gesellschaft IZM

- Miniaturisiertes Cameramodul mit eingebetteten aktiven und passiven Bauelementen für den potentiellen Einsatz z.B. in Advanced Drivers Assistance Systems oder Gesichtserkennungssystemen
- Technologie: Embedded Solder IC-Technologie

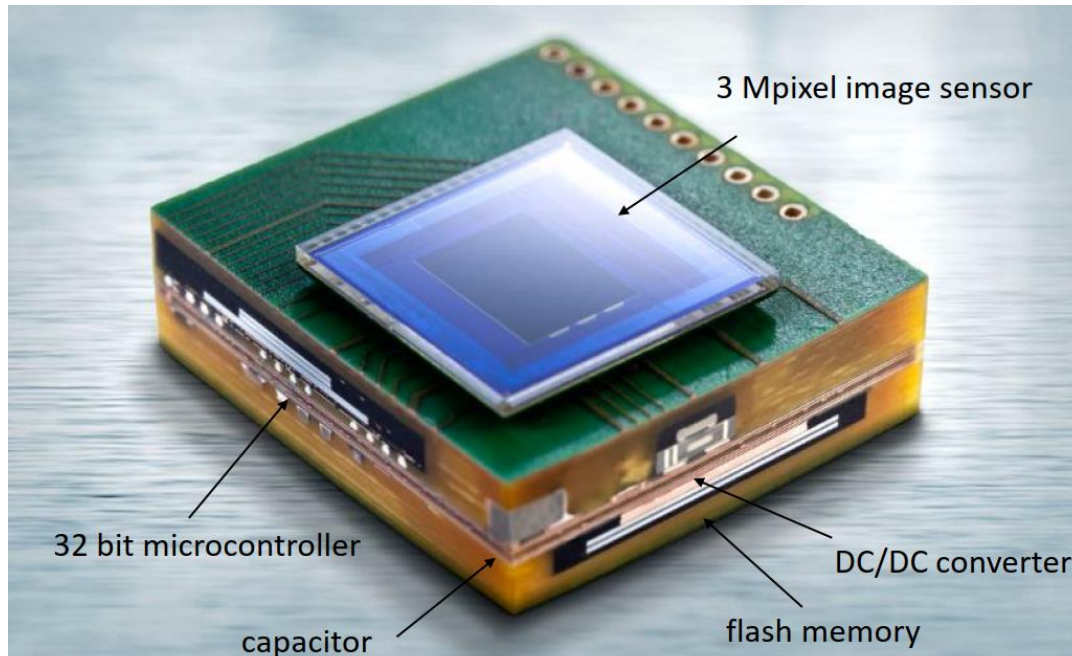


### Geometrie

- 16 x 16 x 3,3 mm<sup>2</sup>

### Embedded Components

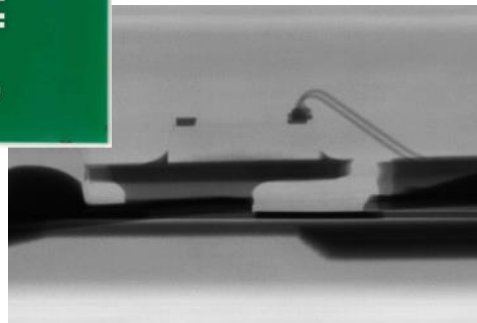
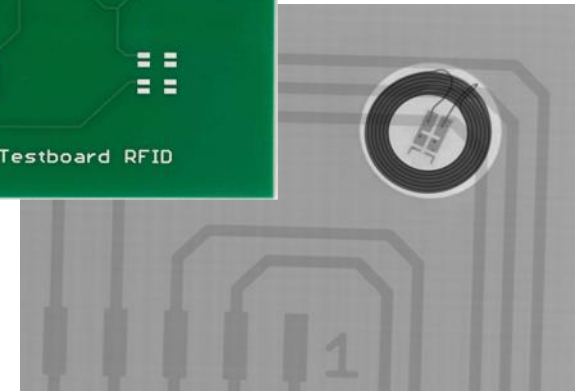
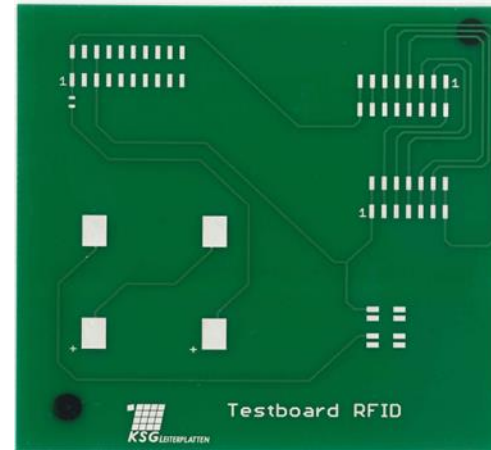
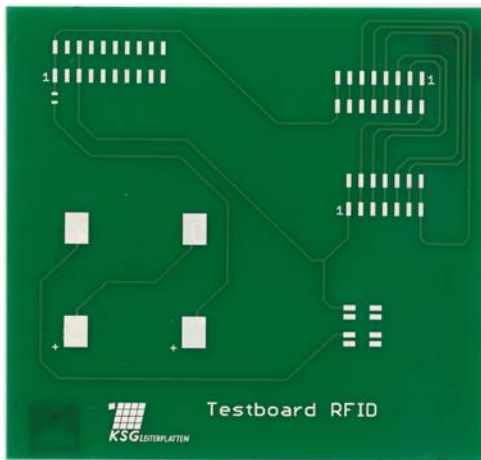
- 32 bit Microcontroller with Image Sensor Interface
- 256 Mbit Flash Memory
- MOSFET
- USB ESD Protection
- 5 DC/DC Wandler
- Oscillator 24 MHz
- 2 LED's
- 34 Capacitors
- 25 Resistors
- 3 Inductors



# Anwendungsfelder

## RFID

- Integration von RFID-Tags zur Speicherung von logistischen/technischen Informationen
- Technologie: Embedded Solder IC-Technologie



	<b>HF-RFID-Tags</b>	<b>UHF-RFID-Tags</b>
Frequenz:	869 MHz	13,56 MHz
Flächenbedarf:	1 cm <sup>2</sup>	0,3 cm <sup>2</sup>
Chip:	NXP U-Code G2	NXP I-Code SLI



# Anwendungsbeispiele

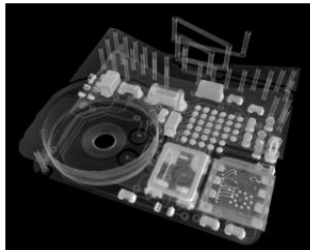
## Hochintegrierter IoT-Funksensor - Projekt „PCB 4.0“

### Ziel

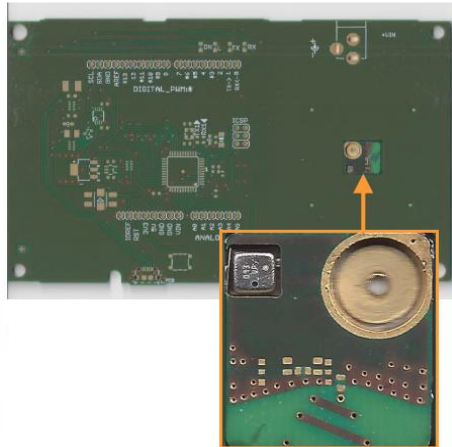
- Entwicklung eines hochintegrierte IoT-Funksensormoduls zur vernetzten Überwachung von Betriebszuständen während der Fertigung und der Produktlebenszeit.

### Herausforderung Schaltungsträger

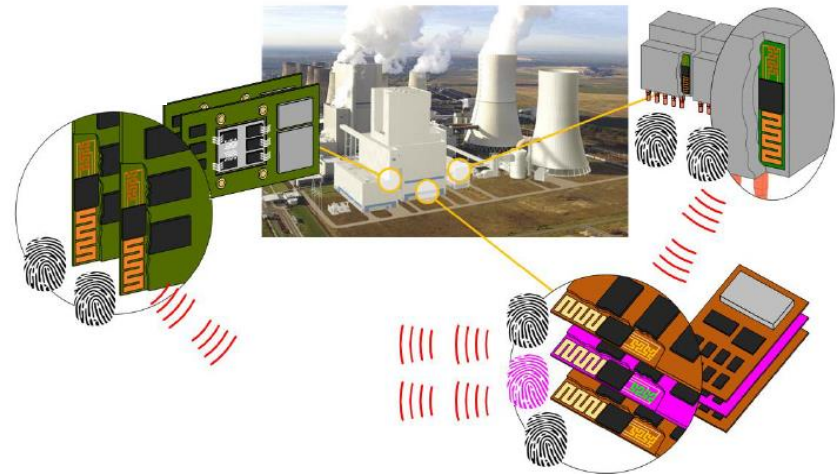
- Entwicklung einer Embedded-Technologie für einen miniaturisierten IoT-Sensor-Schaltungsträger



Zielgröße IOT-Sensor < 0,2 cm<sup>3</sup>  
embedded in PCB



Embedding IoT-Funksensor-Modul in Test-Motherboard



# Anwendungsbeispiele

## Hochauflösendes Radarsystem – Projekt „KI-Radar“

### Ziel

- Entwicklung eines hochauflösenden Radarsystems mit integrierter KI-gestützter Datenverarbeitung für kooperatives autonomes Fahren

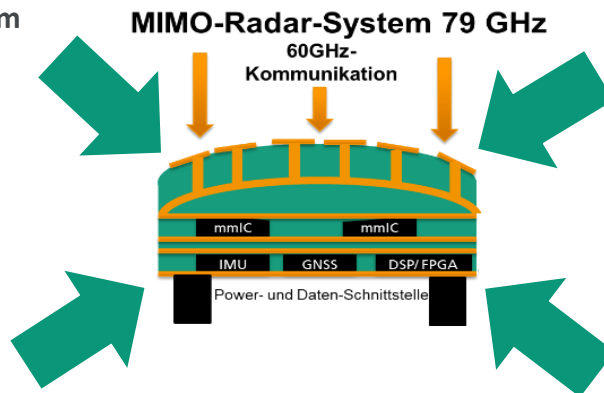
### Herausforderung Schaltungsträger

- Entwicklung einer Embedding Technologie für den Radar-Sensor mit einem neuartigen dreidimensionalen Antennensystem

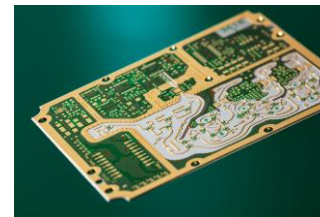
### Innovative Radar- und Kommunikationssystem



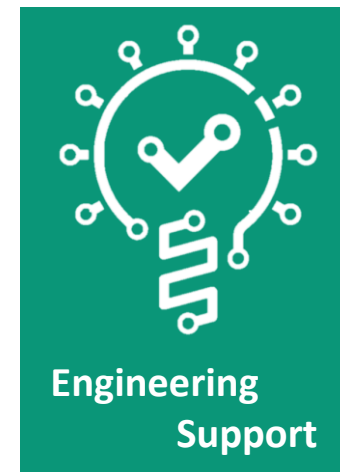
### KI-Algorithmen



### Innovative AVT/ PCB-Technologie



### Rechenleistung für KI



# Vielen DANK ...



# ... für Ihre Aufmerksamkeit!

Vervielfältigung und Weitergabe an Dritte nur mit ausdrücklicher Genehmigung der KSG GmbH.

# Ansprechpartner



Dipl.-Ing. (FH) Ralph Fiehler  
Leiter Entwicklung

Phone +49 (0)3721 266-275  
**[ralph.fiehler@ksg-pcb.com](mailto:ralph.fiehler@ksg-pcb.com)**

KSG GmbH  
Auerbacher Straße 3 - 5  
09390 Gornsdorf  
[www.ksg-pcb.com](http://www.ksg-pcb.com)



Dipl.-Ing. (FH) Matthias Schmied  
Projektingenieur

Phone +49 (0)3721 266-391  
**[matthias.schmied@ksg-pcb.com](mailto:matthias.schmied@ksg-pcb.com)**

KSG GmbH  
Auerbacher Straße 3 - 5  
09390 Gornsdorf  
[www.ksg-pcb.com](http://www.ksg-pcb.com)